PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-134630

(43)Date of publication of application : 10.05.2002

(51)Int.Cl. H01L 21/8238
H01L 27/092
H01L 21/28
H01L 21/768
H01L 27/04
H01L 21/822
H01L 27/06
H01L 27/105
H01L 27/10
H01L 27/108
H01L 21/8242

(21)Application number : 2000-325605

(22)Date of filing : 25.10.2000

(71)Applicant : SONY CORP
FUJITSU LTD

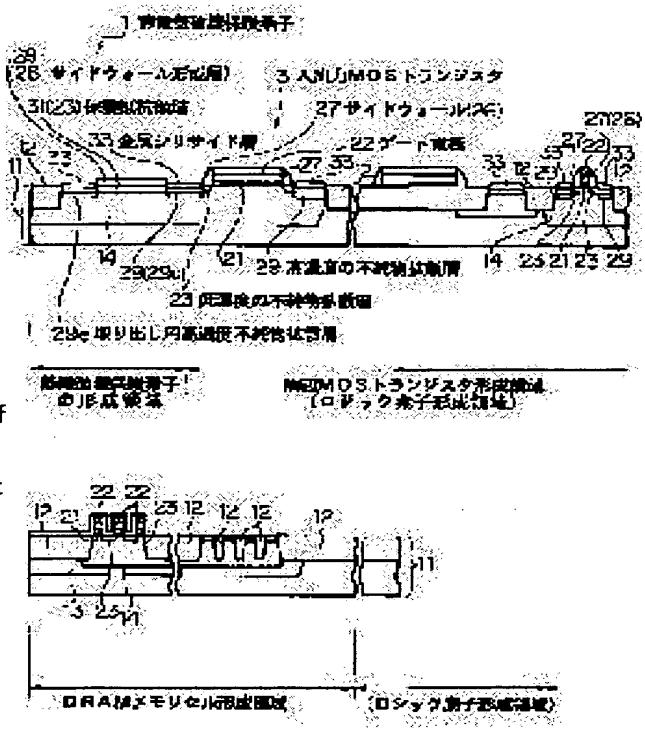
(72)Inventor : YOSHIHARA IKUO
MORIKAWA TAKASHI
WATANABE AKIYOSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To make a contact resistance low by excluding etching damage and mixture of carbon, etc., and then by forming a metal silicide layer, in a semiconductor device having an electrostatic discharge protection element between a dopant diffused layer connected to an external I/O terminal and an input/ output MOS transistor.

SOLUTION: In a semiconductor device having the electrostatic discharge protection element 1 between the dopant diffused layer (high concentration dopant diffused layer 29e for taking out) connected to the external I/O terminal and the input/output MOS transistor 3, at least one transistor of a circuit element comprises at least two dopant diffused layers of different concentration and a MOS transistor formed by a salicide process, the electrostatic discharge protection element 1 comprises a protective resistance region 31 including a low concentration dopant diffused layer 23, the high concentration dopant diffused layer 29e for taking out, formed in self-alignment manner to a side wall forming layer 26 (a mask layer 28) provided thereupon, and a metal silicide layer 33 formed thereupon.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *
JPO and NCIPI are not responsible for any
damages caused by the use of this translation.
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] In the semiconductor device which has an electrostatic-discharge protection component between the impurity diffused layers and I/O MOS transistors which were connected to the external I/O terminal A metal silicide layer is formed on the impurity diffused layer of a circuit element, and at least one transistor of said circuit element consists of MOS transistors which have the impurity diffused layer which has at least two different concentration. A low-concentration impurity diffused layer consists of what was formed in self align to the gate electrode of said MOS transistor among the impurity diffused layers which have said two different concentration. A high-concentration impurity diffused layer and said high-concentration metal silicide layer consist of what was formed in self align to the sidewall formed in the gate electrode side attachment wall of said MOS transistor among the impurity diffused layers which have said two different concentration. The protective resistance field where said electrostatic-discharge protection component contains said low-concentration impurity diffused layer at least, The high concentration impurity diffused layer for ejection which was formed in self align to the sidewall formative layer for forming said sidewall prepared on said protective resistance field, and was formed in the both ends of said protective resistance field, The semiconductor device characterized by consisting of said metal silicide layer formed on said high concentration impurity diffused layer for ejection.
[Claim 2] It is the semiconductor device according to claim 1 characterized by for said semiconductor device having had the memory device formation field and the logic component formation field on the same chip, having formed said circuit element in said logic component formation field, and having not formed said metal silicide layer on the memory cell formation field of said memory device formation field, and forming said metal silicide in self align of said sidewall formative layer, as for the circumference circuit formation field top of said memory device formation field.
[Claim 3] In the manufacture approach of a semiconductor device of having an electrostatic-discharge protection component between the impurity diffused layers and I/O MOS transistors which were connected with the external I/O terminal After forming gate dielectric film in the process which forms a component isolation region on a semi-conductor substrate, and the component formation field which was separated by said component isolation region and prepared on said semi-conductor substrate, The process which forms the gate electrode of an MOS transistor on said gate dielectric film, The process which forms a part of low-concentration impurity diffused layer [at least] in the formation field of said electrostatic-discharge protection component at the same time it forms a low-concentration impurity diffused layer in self align to the gate electrode of said MOS transistor, The process which leaves alternatively the sidewall formative layer used when forming said sidewall on the part used as the protective resistance field of the formation field of said electrostatic-discharge protection component, while forming the sidewall in the gate electrode side attachment wall of said MOS transistor, As opposed to said sidewall formative layer which it left alternatively on the part which serves as said protective resistance field at the same time it forms a high-concentration impurity diffused layer in self align to the sidewall of said MOS transistor The manufacture approach of the semiconductor device characterized by having the process which forms the high-concentration impurity diffused layer which serves as an ejection field of said electrostatic-discharge protection component in self align, and the process which

forms a metal silicide layer alternatively on said high-concentration impurity diffused layer.
[Claim 4] Said semiconductor device has a memory device formation field and a logic component formation field on the same chip. In the process which leaves alternatively the sidewall formative layer used when forming said sidewall on the part used as the protective resistance field of the formation field of said electrostatic-discharge protection component, while forming the sidewall in the gate electrode side attachment wall of said MOS transistor The manufacture approach of the semiconductor device according to claim 3 characterized by leaving said sidewall formative layer alternatively on the memory cell formation field of said memory device formation field.

[Translation done.]

* NOTICES *
JPO and NCIPI are not responsible for any damages caused by the use of this translation.
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention relates to the semiconductor device equipped with the electrostatic-discharge protection component, and its manufacture approach in detail about a semiconductor device and its manufacture approach.
[0002]
[Description of the Prior Art] The Salicide technique which considers as a means to form impurity diffusion fields, such as a gate electrode and a source drain field, into low resistance, with the demand of detailed-izing of the latest semiconductor device and improvement in the speed, and forms refractory metal silicide in self align is proposed widely, and is already produced commercially.
[0003] By forming refractory metal silicide, about 1/of sheet resistance of an impurity diffusion field is formed into low resistance by 20 as compared with the former. For example, although the conventional sheet resistance was several 100ohms / ** extent, sheet resistance became about 5ohms / ** by formation of refractory metal silicide. Moreover, especially in the semiconductor device which consists of CMOS (complementary MOS) transistors, in order to protect a semiconductor device from the electrostatic discharge (ESD:Electrostatic Discharge) by static electricity from the outside, using protection diode and protective resistance as a protection network component is also known.
[0004] Since resistance of a diffusion layer is formed into low resistance to severalohms/** when especially Salicide is used for a diffusion layer (an impurity diffusion field is and is described), the original capacity of a protection network will be lost and various destruction is brought about. Since diffusion layer resistance of the source drain field of the MOS transistor in a protection network becomes low too much by Salicide-ization, this cause originates in the function aiming at easing to some extent conventionally by resistance (- number 100ohm/**) of a diffusion layer not acting to the high voltage of static electricity impressed from the outside.
[0005] Although various protection networks were proposed in order to solve this trouble, there was a problem from which the design technique becomes complicated.

[0006] Moreover, the manufacture approach that only a protection network part does not carry out Salicide is also proposed. After forming the LDD structure of an MOS transistor, in order to make and divide the field which forms refractory metal silicide, and the field which is not formed by the manufacture approach, after forming the insulator layer used as the mask for forming refractory metal silicide alternatively all over a substrate, the process which removes only the insulator layer on the field which forms refractory metal silicide among the insulator layer by dry etching is included.
[0007]
[Problem(s) to be Solved by the Invention] however, mixing of the etching damage to the polish recon front face and silicon substrate surface which exist on the field which forms refractory metal silicide in removing the insulator layer formed in the field which forms refractory metal silicide by dry etching, in order to make and divide the field which forms refractory metal silicide, and the field which is not formed, or carbon etc. -- low -- formation of refractory metal silicide [****] becomes difficult. The effect by mixing (contamination by carbon) of this etching damage, carbon, etc. is reported widely, and it is necessary to avoid it as much as possible.
[0008] as mentioned above, the case where the field where refractory metal silicide exists, and the field not existing are formed in the same substrate -- low -- the technique which forms refractory metal silicide [****] and good contact is needed. When the field where refractory metal silicide furthermore exists, and the field not existing were formed in the same substrate, a process becomes complicated, there is a problem that a manufacturing cost also rises, and it needed to be solved.
[0009]
[Means for Solving the Problem] This inventions are the semiconductor device made in order to solve the above-mentioned technical problem, and its manufacture approach.
[0010] In the semiconductor device which has an electrostatic-discharge protection component between the impurity diffused layers and I/O MOS transistors by which the 1st semiconductor device of this invention was connected to the external I/O terminal A metal silicide layer is formed on the impurity diffused layer of a circuit element, and at least one transistor of said circuit element consists of MOS transistors which have the impurity diffused layer which has at least two different concentration. A low-concentration impurity diffused layer consists of what was formed in self align to the gate electrode of said MOS transistor among the impurity diffused layers which have said two different concentration. A high-concentration impurity diffused layer and said high-concentration metal silicide layer consist of what was formed in self align to the sidewall formed in the gate electrode side attachment wall of said MOS transistor among the impurity diffused layers which have said two different concentration. The protective resistance field where said electrostatic-discharge protection component contains said low-concentration impurity diffused layer at least, The high concentration impurity diffused layer for ejection which was formed in self align to the sidewall formative layer for forming said sidewall prepared on said protective resistance field, and was formed in the both ends of said protective resistance field, It consists of said metal silicide layer formed on said high concentration impurity diffused layer for ejection.
[0011] As for said semiconductor device, the 2nd semiconductor device of this invention has a memory device formation field and a logic component formation field on the same chip in the 1st semiconductor device of the above, said circuit element is formed in said logic component formation field, and said metal silicide layer is not formed on the memory cell formation field of said memory device formation field, and, as for the circumference circuit formation field top of said memory device formation field, said metal silicide is formed in self align of said sidewall formative layer.
[0012] In the 1st and 2nd semiconductor device of the above, an electrostatic-discharge protection component The high concentration impurity diffused layer for ejection which was formed in self align to the sidewall formative layer for forming the sidewall prepared on the protective resistance field which contains a low-concentration impurity diffused layer at least, and the protective resistance field, and was formed in the both ends of a protective resistance field, Since it consisted of a metal silicide layer formed on the high concentration impurity diffused layer for ejection, it was formed in the MOS

transistor and coincidence of LDD structure of the manufacture process of the MOS transistor of LDD structure. Therefore, since mixing of the etching damage by the polish recon of the field in which a metal silicide layer is formed, and the dry etching of an addition on a silicon substrate, or contamination (heavy metal contamination etc.) is controlled, it does not depend for the metal silicide layer on the line breadth of a silicon field by low resistance.

[0013] In the manufacture approach of a semiconductor device of having an electrostatic-discharge protection component between the impurity diffused layers and I/O MOS transistors by which the manufacture approach of the semiconductor device of this invention was connected with the external I/O terminal After forming gate dielectric film in the process which forms a component isolation region on a semi-conductor substrate, and the component formation field which was separated by said component isolation region and prepared on said semi-conductor substrate, The process which forms the gate electrode of an MOS transistor on said gate dielectric film, The process which forms a part of low-concentration impurity diffused layer [at least] in the formation field of said electrostatic-discharge protection component at the same time it forms a low-concentration impurity diffused layer in self align to the gate electrode of said MOS transistor, The process which leaves alternatively the sidewall formative layer used when forming said sidewall on the part used as the protective resistance field of the formation field of said electrostatic-discharge protection component, while forming the sidewall in the gate electrode side attachment wall of said MOS transistor, As opposed to said sidewall formative layer which it left alternatively on the part which serves as said protective resistance field at the same time it forms a high-concentration impurity diffused layer in self align to the sidewall of said MOS transistor It has the process which forms the high-concentration impurity diffused layer which serves as an ejection field of said electrostatic-discharge protection component in self align, and the process which forms a metal silicide layer alternatively on said high-concentration impurity diffused layer.

[0014] As for the manufacture approach of the 2nd semiconductor device of this invention, said semiconductor device has a memory device formation field and a logic component formation field on the same chip. In the process which leaves alternatively the sidewall formative layer used when forming said sidewall on the part used as the protective resistance field of the formation field of said electrostatic-discharge protection component, while forming the sidewall in the gate electrode side attachment wall of said MOS transistor It is characterized by leaving said sidewall formative layer alternatively on the memory cell formation field of said memory device formation field.

[0015] By the manufacture approach of the 1st and 2nd semiconductor device of the above, the metal silicide layer formed on the high-concentration impurity diffused layer used as the ejection field of a part and an electrostatic-discharge protection component which turns into a protective resistance field of an electrostatic-discharge protection component at forming the low-concentration impurity diffused layer of an MOS transistor, a high-concentration impurity diffused layer, and a metal silicide layer and coincidence, and this high-concentration impurity diffused layer can be formed. Therefore, an electrostatic-discharge protection component is formed, without covering a process-load.

[0016] Moreover, since it becomes possible to form in the MOS transistor and coincidence of LDD structure and mixing of the etching damage by the polish recon of the field (silicide field) which forms a metal silicide layer, and the dry etching of an addition on a silicon substrate, or contamination (heavy metal contamination etc.) is controlled, formation of the refractory metal silicide which is not dependent on the line breadth of silicon by low resistance is attained.

[0017] If the above-mentioned semiconductor device and its manufacture approach are applied to the semiconductor device consolidated with a logical circuit and a memory circuit, it will become possible to acquire a good DRAM retention (maintenance) property etc. by making into a DRAM cel formation field the field in which the metal silicide layer (it explains as a refractory metal silicide layer below) is not formed. In DRAM, if a refractory metal silicide layer is formed in an impurity diffused layer (source drain field), a junction leak property will deteriorate fundamentally. The cause of this degradation will be

because junction leak increases [that the distance of a refractory metal silicide layer and substantial junction becomes short,] since refractory metal silicide is formed thickly partially in practice, if a refractory metal silicide layer is formed in a source drain field. According to increase of this junction leak, with the device from which retention properties, such as DRAM, pose a problem, if the technique of this invention is applied, junction leak can use positively the impurity-ized field which decreased in number and high-speed operation formed into low resistance by refractory metal silicide in the required circumference circuit section.

[0018]

[Embodiment of the Invention] The outline configuration sectional view of drawing 1 explains the gestalt of operation concerning the semiconductor device of this invention. This drawing 1 shows as an example the semiconductor device which has an I/O MOS transistor and an electrostatic-discharge protection component.

[0019] As shown in drawing 1 , the component isolation region 12 is formed in the semi-conductor substrate 11 of P type, and the component formation field is separated by this component isolation region 12. This component isolation region embeds an insulator layer in a slot with a depth of 250nm - 500nm, and is formed in it.

[0020] The above-mentioned insulator layer covers a slot inside by the silicon nitride, and is formed by embedding Mizouchi by silicon oxide. In addition, before forming this silicon oxide, silicon oxide with a thickness [aiming at stress relaxation] of 50nm - 200nm may be formed with an oxidation style. LOCOS used from the former although the component isolation region was formed by the embedding method to a slot with the gestalt of this operation -- it is also possible to use the component isolation region formed by law (selective oxidation method).

[0021] moreover, the DRAM memory cell formation field (memory device formation field) of the semi-conductor substrate 11 of P type -- Lynn -- high energy -- pouring in -- N -- a well -- the field 13 is formed. the N -- a well -- P which comes to carry out the ion implantation of the boron inside a field 13 -- a well -- the field 14 is formed. coincidence -- a circumference MOS transistor formation field (logic component formation field) -- N -- a well -- a field 13 and P -- a well -- a field 14 is formed. Furthermore, the ion implantation for determining threshold voltage is performed to the N-channel metal oxide semiconductor transistor, the P channel MOS transistor, and the WORD transistor of a DRAM memory cell.

[0022] On the above-mentioned semi-conductor substrate 11, gate dielectric film (for example, gate oxide) 21 is formed at the predetermined thickness which is 2nm - 10nm. At this time, according to the application of a transistor, the thickness of gate dielectric film 21 makes and is divided. For example, gate dielectric film 21 is formed in the thickness of 2nm - 5nm in the circumference MOS transistor formation field in which high current drive capacity and the low OFF state current are demanded. Gate dielectric film 21 is formed in the thickness of 5nm - 10nm in the circumference MOS transistor formation field of which high proof-pressure actuation is required. The thickness of gate dielectric film 21 is set up according to the data-hold capacity of a cel, for example, the WORD transistor of a DRAM memory cell is formed in the thickness which is 6nm.

[0023] Furthermore on gate dielectric film 21, the gate electrode (gate electrode wiring is also included) 22 is formed. This gate electrode 22 consists of a silicon layer (an amorphous silicon layer or polish recon layer) into which the predetermined impurity which formed membranes to 50nm - 150nm thickness was introduced, and a refractory metal silicide layer formed on it, and the offset insulator layer is further formed on it. both [in addition,] an N-channel metal oxide semiconductor transistor and a P channel MOS transistor -- although -- it is good also as the so-called dual gate structure so that it may become the MOS transistor of a surface channel mold. As the above-mentioned refractory metal silicide layer, the tungsten silicide layer of 50nm - 150nm thickness is used, for example. The above-mentioned offset film is formed by the silicon nitride or silicon oxide formed in 100nm - 200nm thickness.

[0024] The low-concentration impurity diffused layer 23 used as a LDD impurity diffused layer is formed

in the circumference MOS transistor formation field. In the N-channel metal oxide semiconductor transistor formation field, as an impurity of N type, the ion implantation of the LDD impurity diffused layer is carried out, an arsenic is formed, as an impurity of P type, the ion implantation of it is carried out and boron (for example, 2 boron fluoride (BF2+)) is formed in the P channel MOS transistor formation field.

[0025] Since the WORD transistor of a DRAM memory cell formation field is formed for example, with the N-channel metal oxide semiconductor transistor, the source drain is formed by the low concentration impurity diffused layer 23 of N type.

[0026] The LDD impurity diffused layer 23 is formed in the protection resistance element formation field of an electrostatic-discharge protection component field. In the case of the semiconductor device which has a DRAM memory cell like the gestalt of this operation, the case where the concentration and the impregnation ion of LDD are changed as supply voltage as an MOS transistor of for example, 1.5V power source and 3.3V power source is common. In the case of NMOS, the resistance of the low-concentration impurity diffused layer 23 in the above-mentioned protection resistance element formation field is determined by choosing two kinds of arbitration, one kind, or all three kinds from three kinds of LDD ion implantations, the 1.5V power source NMOS, the 3.3V power source NMOS, and a DRAM WORD transistor. For example, when performing two kinds of LDD ion implantations, as shown in drawing 2 R> 2, the protective resistance field 31 can be formed in the low-concentration impurity diffused layer 21 of the 1.5V power source NMOS, the low-concentration impurity diffused layer 23 of the 3.3V power source NMOS, and coincidence. That is, an arsenic is 3x1014-/cm2 by the ion implantation which forms the low-concentration impurity diffused layer 21 in the protective resistance field 31. Lynn is 1x1013-/cm2 by the ion implantation which it is introduced with a dose, and low-concentration impurity diffused layer 21R is formed, and forms the low-concentration impurity diffused layer 23. It is introduced with a dose and low-concentration impurity diffused layer 23R is formed.

[0027] As furthermore shown in said drawing 1 , the sidewall 27 which consists of the sidewall formative layer 26 is formed in the side attachment wall of each gate electrode 22. This sidewall formative layer 26 is formed for example, by the silicon nitride. With it, the mask layer 28 which consists of the above-mentioned sidewall formative layer 26 is formed on the above-mentioned protection resistance element formation field. The low-concentration impurity diffused layer 23 of this mask layer 28 lower part serves as the protective resistance field 31.

[0028] Moreover, the source drain impurity diffused layer of the LDD structure which consists of a high-concentration impurity diffused layer 29 and a low-concentration impurity diffused layer 23 is formed in the circumference MOS transistor formation field. The source drain impurity diffused layer which carried out the ion implantation of the arsenic as an impurity of N type is formed in an N-channel metal oxide semiconductor transistor formation field, and the source drain impurity diffused layer which carried out the ion of the boron is formed in the P channel MOS transistor formation field.

[0029] moreover, it was formed in the both ends of the above-mentioned protective resistance field 31 in self align to the above-mentioned mask layer 28 (sidewall formative layer 26) -- taking out -- business -- the impurity diffused layer 29 of the high concentration [diffusion layer / 29 / high concentration] of the above-mentioned source drain impurity diffused layer -- simultaneously, it is formed.

[0030] Furthermore, on the source drain impurity diffused layer (high-concentration impurity diffused layer 29) of the above-mentioned circumference MOS transistor formation field, and the above-mentioned high concentration diffusion layer 29 (29e) for ejection, the metal silicide layer 33 is formed for example, in the cobalt silicide (CoSi2) layer. this -- low -- a cobalt silicide layer [****] is formed multiple times, for example, by carrying out twice, in heat treatment. Consequently, the resistance of a cobalt silicide layer by which phase transition was carried out falls, and can reduce sharply the sheet resistance of the source drain field (high-concentration impurity diffused layer 29) of an MOS transistor where high-speed operation is used for a required logical circuit etc., and contact resistance. In the

memory cell formation field of DRAM, the leakage current of the source drain field of an MOS transistor can be reduced as the protective resistance field 31 of an electrostatic-discharge protection component in which the cobalt silicide layer by which phase transition was carried out is not formed, and a memory device, and junction by the electrostatic discharge and destruction of gate oxide can be prevented by the protective resistance field 31 of an electrostatic-discharge protection component. With the gestalt of this operation, although the cobalt silicide layer was explained as an example, it is applicable to titanium silicide (TiSi2) or other refractory metal ingredients. One of this high concentration impurity diffused layer 29 (29e) for ejection is connected to an external I/O terminal. Moreover, the high concentration impurity diffused layer 29 (29e) for ejection of another side is as common as the source drain field of I/O MOS transistor 3. Therefore, the electrostatic-discharge protection component 1 equipped with the protective resistance field 31 is formed between high concentration impurity diffused layer 29e for ejection (impurity diffused layer) and I/O MOS transistors 3 which were connected with the external I/O terminal.

[0031] Furthermore, although illustration is not carried out, two or more etching stopper layers and two or more interlayer insulation films are formed, bit contact and a bit line are formed in a DRAM memory cell formation field between them, and the capacitor of DRAM is formed further.

[0032] Although the gestalt of the above-mentioned implementation explained an example which prepared the electrostatic-discharge protection component in the semiconductor device consolidated with DRAM and a logic component, it is also possible to apply the electrostatic-discharge protection component of the above-mentioned configuration to the semiconductor device of a logic component simple substance with the same configuration.

[0033] In the semiconductor device which gave [above-mentioned] explanation, an electrostatic-discharge protection component The protective resistance field 31 which contains the low-concentration impurity diffused layer 23 at least, The high concentration impurity diffused layer 29 (29e) for ejection which was formed in self align to the mask layer 28 which consists of the sidewall formative layer 26 for forming the sidewall 27 prepared on the protective resistance field 31, and was formed in the both ends of the protective resistance field 31, Since it consisted of a metal silicide layer 33 formed on the high concentration impurity diffused layer 29 (29e) for ejection, it was formed in the MOS transistor and coincidence of LDD structure of the manufacture process of the MOS transistor of LDD structure. Therefore, since mixing of the etching damage by the polish recon of the field in which the metal silicide layer 33 is formed, and the dry etching of an addition on a silicon substrate, or contamination (heavy metal contamination etc.) is controlled, it does not depend for the metal silicide layer 33 on the line breadth of a silicon field by low resistance.

[0034] Next, drawing 3 and the production process sectional view of drawing 5 explain the gestalt of operation concerning the manufacture approach of the semiconductor device of this invention. The following explanation explained the manufacture approach of the semiconductor device consolidated with a logic component and a memory device (DRAM component), and the publication of a DRAM component part was omitted in drawing 3 .

[0035] As shown in (1) of drawing 3 , after forming 50nm - 200nm silicon oxide (not shown) in the semi-conductor substrate 11 of P type, a silicon nitride (not shown) is formed in 100nm - 200nm thickness. Silicon oxide is formed in order to ease the stress between a silicon nitride and the semi-conductor substrate 11. A photoresist pattern (not shown) is alternatively formed on component formation fields, such as an MOS transistor on silicon oxide. A silicon nitride, a silicide oxide film, and a semi-conductor substrate are etched sequential [11], and the slot used as a component isolation region is formed. This slot is formed in a depth of 250nm - 500nm as an example.

[0036] the above-mentioned slot and a silicon nitride -- covering -- for example, high density plasma CVD (CVD is the abbreviation for Chemical Vapor Deposition, and means chemical vapor growth) -- the silicon oxide by law is formed in 500nm - 1.00 micrometers thickness. Before forming this silicon oxide, 50nm - 200nm silicon oxide aiming at stress relaxation may be formed with an oxidation style.

[0037] Subsequently, flattening of the silicon oxide embedded in the slot used as the component isolation region 12 is ground and carried out using chemical mechanical polishing (CMP [say / Following CMP] is Chemical Mechanical Polishing). After performing this polish, etching removes a silicon nitride and silicon oxide. LOCOS used from the former although the component isolation region 12 was formed by the embedding method to a slot with the gestalt of this operation -- forming using law (selective oxidation method) is also possible.

[0038] Subsequently, silicon oxide (not shown) with a thickness of 50nm - about 200nm is formed with an oxidation style. the DRAM memory cell formation field of the semi-conductor substrate 11 of P type -- Lynn -- high energy -- pouring in -- N -- a well -- a field -- forming -- the N -- a well -- the inside of a field -- boron -- an ion implantation -- carrying out -- P -- a well -- a field is formed. A field 14 is formed also in a circumference MOS formation field P well with a field 13 N well at coincidence. The ion implantation for furthermore determining threshold voltage with the WORD of an N-channel metal oxide semiconductor transistor, a P channel MOS transistor, and a DRAM memory cell is performed.

[0039] Subsequently, as shown in (2) of drawing 3 , after removing the silicon oxide for the thickness from which the silicon oxide formed with said oxidation style is removed, gate dielectric film (for example, gate oxide) 21 is formed in the predetermined thickness of 2nm - 10nm. At this time, the thickness of gate oxide is made and divided according to the application of a transistor. For example, gate oxide is formed in the thickness of 2nm - 5nm in the circumference MOS transistor formation field in which high current drive capacity and the low OFF state current are demanded, and gate oxide with a thickness of 5nm - 10nm is formed in the circumference MOS transistor formation field of which high proof-pressure actuation is required. The WORD transistor of a DRAM memory cell can set up gate oxidation thickness according to the data-hold capacity of a cel, for example, forms the gate oxide of the thickness which is 6nm. After a structure division of this gate oxide forms thicker gate oxide in the whole surface, it can carry out etching removal of the gate oxide of the field which forms thin gate oxide alternatively, and can form that removed field by oxidizing again.

[0040] Subsequently, a polish recon layer or an amorphous silicon layer is formed to 50nm - 150nm thickness by the CVD method or sputtering, and the gate electrode formative layer is formed. both [under the present circumstances,] an N-channel metal oxide semiconductor transistor and a P channel MOS transistor -- although -- in adopting the so-called dual gate structure so that it may become the MOS transistor of a surface channel mold, the ion implantation of Lynn is carried out to an N-channel metal oxide semiconductor transistor formation field as an N type impurity, and it carries out the ion implantation of the boron to a P channel MOS transistor formation field. For example, a tungsten silicide layer is formed by the CVD method or sputtering as a refractory metal silicide layer on the gate electrode formative layer at 50nm - 150nm thickness. Subsequently, for example, a silicon nitride or silicon oxide is formed in 100nm - 200nm thickness for the offset film 42 at the time of forming self aryne contact of a DRAM memory cell by the CVD method or sputtering. After forming the photoresist pattern (not shown) for forming a gate electrode, sequential etching of the offset film, a refractory metal silicide layer, a polish recon layer, or the amorphous silicon layer is carried out by anisotropic etching, and the gate electrode (gate electrode wiring is also included) 22 is formed.

[0041] Next, the low-concentration impurity diffused layer 23 which constitutes LDD is formed in a circumference MOS transistor formation field (logic component formation field). The ion implantation of the arsenic is carried out to an N-channel metal oxide semiconductor transistor formation field as an impurity of N type, and the ion implantation of the boron [for example, 2 boron fluoride (BF_2^+)] is carried out to a P channel MOS transistor formation field as an impurity of P type. A short channel effect can also be controlled by performing a pocket ion implantation between a channel field and the low-concentration impurity diffused layer which constitutes LDD. For example, the ion implantation of the boron is carried out to an N-channel metal oxide semiconductor transistor formation field as an impurity of P type, and the ion implantation of the arsenic is carried out to a P channel MOS transistor formation

field.
[0042] Moreover, in order to form for example, an N-channel metal oxide semiconductor transistor as a WORD transistor of a DRAM memory cell formation field (memory device formation field), the ion implantation of Lynn is carried out as a low concentration impurity of N type.
[0043] Furthermore, the low-concentration impurity diffused layer 25 by the LDD process is formed in the protection resistance element formation field of an electrostatic-discharge protection component field. In the case of the semiconductor device which has a DRAM memory cell like the gestalt of this operation, the case where the concentration and the impregnation ion of LDD are changed as supply voltage as an MOS transistor of for example, 1.5V power source and 3.3V power source is common. In the case of NMOS, at this time, the resistance of the protective resistance field 33 of an electrostatic-discharge protection component field is adjusted by choosing two kinds of arbitration, one kind, or all three kinds from the ion implantation which constitutes three kinds of LDD(s), NMOS of 1.5V power source, NMOS of 3.3V power source, and a DRAM WORD transistor. Therefore, the above-mentioned low-concentration impurity diffused layer 23 is contained in this low-concentration impurity diffused layer 25.
[0044] Subsequently, as shown in (3) of drawing 3 , the sidewall formative layer (26) is formed in the whole surface by the silicon nitride with a thickness of 40nm - 100nm. Next, the photoresist pattern with which opening was formed only in the circumference MOS transistor formation field is formed. However, the photoresist pattern 51 is formed in the protection resistance element formation field of an electrostatic-discharge protection component field.
[0045] That is, in the case of the semiconductor device which has a DRAM memory cell like the gestalt of this operation, the field which forms a photoresist pattern turns into an electrostatic-discharge protection component field and a DRAM memory cell formation field. Next, while performing anisotropic etching of the sidewall formative layer (26) and forming the sidewall 27 of a silicon nitride in gate electrode 22 side attachment wall of a circumference MOS transistor formation field, the mask layer 28 which consists of the sidewall formative layer (26) of a silicon nitride is formed on the protection resistance element of an electrostatic-discharge protection component field.
[0046] And as shown in (4) of drawing 3 , the high-concentration impurity diffused layer 29 used as the source drain of an MOS transistor is formed in a circumference MOS transistor formation field. The ion implantation of the arsenic is carried out to an N-channel metal oxide semiconductor transistor formation field as an impurity of N type, and the ion of the boron is carried out to a P channel MOS transistor formation field. At this time, the high concentration impurity diffused layer 29 (29e) which becomes the ejection of the protection resistance element of an electrostatic-discharge protection component field in self align to the mask layer 28 is formed. Therefore, the protective resistance field 31 which consists of a low-concentration impurity diffused layer 25 under the mask layer 28 is formed.
[0047] Next, as shown in (5) of drawing 3 , a cobalt layer and a titanium nitride are formed by sputtering one by one on a silicon substrate 11. The postheat treatment is performed and a cobalt silicide layer is formed as a refractory metal silicide layer 33 in self align on the silicon field of high concentration impurity diffused layer 29 grade. The unreacted cobalt layer on the offset film formed on the sidewall 27, the mask layer 28, and the gate electrode 22 and the component isolation region 12 is removed. To a silicide chemically-modified [this] degree, the refractory metal silicide layer 33 is formed also on the above-mentioned high concentration ********** 29e for ejection in self align to the mask layer 28 which consists of a silicon nitride.
[0048] As now shown in the top view of (1) of drawing 4 , and the sectional view of (2), the resistance of the protective resistance field 31 is determined by die-length T of the mask layer 28 used when forming the protective resistance field 31 of an electrostatic-discharge protection component field, the high impurity concentration of the protection resistance element 31, and the rate of activation by heat treatment. In order to obtain the optimal protective resistance field 31, that the pressure-proofing to an electrostatic discharge improves, and when the current capacity (source drain current) of the MOS

transistor protected from an electrostatic discharge connects the protective resistance field 31, it is necessary not to fall remarkably.

[0049] For that purpose, as shown in (3) of drawing 4 , it turns out that 2% - 30% of Ids/Vcc, i.e., ON resistance, shown with a source drain current / supply voltage is the optimal. As a distance T, 0.3 to 1.5 micrometers are the optimal. If the reason shortens distance T further, the dimensional control of distance T will be needed and the management on product production will become complicated. On the other hand, if distance T is enlarged, resistance will be sharply changed by dispersion in distance T. If it is set as 0.3 micrometers - 1.5 micrometers as a distance T, the dimensional control of distance T is unnecessary, and the resistance stabilized comparatively will be stabilized and will be acquired. As sheet resistance including high impurity concentration, 50ohm/** - 6kohm/** is the optimal. In order to control the above-mentioned high impurity concentration, without making a routing counter increase, the low-concentration impurity diffused layer 25 for forming the LDD structure mentioned above is used once [at least], and the protective resistance field 31 is formed. Therefore, in case the protective resistance field 31 of an electrostatic-discharge protection component field forms LDD of an MOS transistor, it is formed of the low-concentration impurity diffused layer 25 formed in coincidence.

[0050] In the case of the semiconductor device which has a DRAM memory cell, like the gestalt of this operation, the case where the concentration and the impregnation ion of LDD are changed for supply voltage corresponding to the MOS transistor of for example, 1.5V power source and the MOS transistor of 3.3V power source is common. In order to adjust the resistance of the protective resistance field 31 of an electrostatic-discharge protection component field at this time, in the case of NMOS, two kinds of arbitration, one kind of arbitration, or all three kinds can be chosen from three kinds of LDD ion implantations, the 1.5V power source NMOS, the 3.3V power source NMOS, and a DRAM WORD transistor.

[0051] Next, drawing 6 which shows drawing 5 and the DRAM memory cell formation field which show an electrostatic-discharge protection component and a circumference MOS transistor formation field explains a subsequent process below. As shown in drawing 5 and drawing 6 , the silicon nitride used as the 1st etching stopper layer (not shown) is formed in the whole surface at the thickness of 10nm - 50nm. In order to raise effectiveness further 1/2 or less [1/4 or more] by being set to 30nm - 150nm to 120nm - 450nm which is the distance between the WORD transistors of a DRAM memory cell formation field, as for the sum total of the laminating thickness of the silicon nitride at this time, and the 20nm - 100nm silicon nitride in which the lower layer sidewall was formed, it is desirable to carry out to 1/3 or less [1/4 or more].

[0052] Then, the 1st 500nm - 1.00 micrometers interlayer insulation film 61 is formed for example, in a boron phosphorus silicate glass (BPSG) layer on the etching stopper layer of the above 1st. Then, heat treatment of 650 degrees C - about 800 degrees C is added, and flattening of the interlayer insulation film 61 front face of the above 1st is carried out mostly. Since the laminating thickness sum total of the 1st etching stopper layer (silicon nitride) currently formed in the DRAM memory cell formation field and the lower layer sidewall 27 (silicon nitride) is set as the optimal thickness at this time, a void does not occur in flattening of the 1st interlayer insulation film 61 of the above. In addition, this 1st interlayer insulation film 61 may be formed by the high density plasma-CVD method, or rotation spreading may be carried out and it may form SOG (Spin on glass).

[0053] Next, by chemical mechanical polishing (CMP [say / Following CMP] is Chemical Mechanical Polishing), a part for the thickness of 200nm - 900nm is ground, and flattening of the 1st interlayer insulation film 61 is carried out. Flattening at this time may use the technique of whole surface etchback etc.

[0054] Subsequently, a photoresist opening pattern is alternatively formed in the 1st interlayer insulation film 61 of a DRAM memory cell formation field, and etching is once stopped by etching which can take the laminating thickness of the silicon nitride used as the 1st etching stopper layer, and the silicon nitride in which the lower layer sidewall 27 was formed, and a selection ratio. Then, the cascade screen

of a silicon nitride is etched and a contact hole is formed in self align among word line 22w of a DRAM memory cell. This process is performed using the self aryne contact technique generally used from the former. A polish recon layer or an amorphous silicon layer is formed in a contact hole, and it leaves the 1st silicon electrode layer 62 only in a contact hole by CMP. With the gestalt of this operation, although the formation approach by CMP was used, it may leave the 1st silicon electrode layer 62 in a contact hole using a selective growth technique or etchback. The approach of introducing an impurity into the 1st silicon electrode layer 62 may be introduced into forming the 1st silicon electrode layer 62 with a CVD method, and coincidence, or may be introduced by the ion implantation after CVD. With the gestalt of this operation, since the 1st silicon electrode layer 62 linked to the impurity diffused layer 23 of the WORD transistor formed by the N-channel metal oxide semiconductor of a DRAM memory cell is formed, Lynn which is the impurity of N type is introduced into the 1st silicon electrode layer 62.

[0055] Subsequently, after forming in the thickness of 50nm - 200nm, opening is alternatively formed on the 1st silicon electrode layer 62 which is equivalent to bit line contact among the 1st silicon electrode layer 62 formed in the DRAM memory cell formation field, and the bit line 66 connected with the 1st silicon electrode layer 62 through opening is formed for the 2nd interlayer insulation film 65 which consists of silicon oxide. Although tungsten wiring of 50nm - 200nm thickness was used as a bit line 66 with the gestalt of this operation, wiring of the polycide structure which carried out the laminating of other refractory metals, refractory metal silicide layers, and polish recon layers can also be used.

[0056] Subsequently, after forming in 500nm - 1.50 micrometers thickness the 3rd interlayer insulation film 69 which consists of silicon oxide, flattening of the 3rd interlayer insulation film 69 front face is performed using the technique of CMP or whole surface etchback. Next, the 2nd etching stopper layer 71 is formed for example, by the silicon nitride of 50nm - 500nm thickness. At this time, the 2nd etching stopper layer 71 is formed more thickly than the 1st etching stopper layer (not shown) formed in the lower layer. Opening is alternatively formed in the etching stopper layer 71 on the 1st silicon electrode layer 62 which connects with a capacitor electrode among the 1st silicon electrode layer 62 formed in the DRAM memory cell formation field. Next, as an ingredient which can take the 4th interlayer insulation film explained later and the etching stopper layer 71 of the above 2nd, and etch selectivity, by 50nm - 200nm thickness, for example, a polish recon layer and an amorphous silicon layer are formed in the whole surface so that the above-mentioned opening may be covered. Subsequently, anisotropic etching of a polish recon layer or the amorphous silicon layer is carried out, and the sidewall etching mask layer which becomes the opening side attachment wall of the 2nd etching stopper layer 71 from a polish recon layer or an amorphous silicon layer is formed.

[0057] The 3rd interlayer insulation film 69 is etched by using the 2nd etching stopper layer 71 and a sidewall etching mask layer as an etching mask, and a contact hole is formed on the 1st silicon electrode layer 62 (62c) connected to the capacitor electrode later explained among the 1st silicon electrode layer 62 formed in the DRAM memory cell formation field. Since etching formation is carried out using the 2nd etching stopper layer 71 and the sidewall etching mask layer formed in that opening in self align, the contact hole formed at this time can form the contact hole beyond the limitation of a lithography technique of the diameter of contact.

[0058] Then, as a polish recon layer or an amorphous silicon layer is embedded, after forming it in a contact hole, it leaves the 2nd silicon electrode layer 74 only in a contact hole by CMP. With the gestalt of this operation, although the formation approach by CMP was used, it may leave the 2nd silicon electrode layer 74 in a contact hole using a selective growth technique or an etchback technique. In case the approach of introducing an impurity into the 2nd silicon electrode layer 74 forms the 2nd silicon electrode layer 74 with a CVD method, it may be introduced into coincidence. Or you may introduce by the ion implantation after CVD. With the gestalt of this operation, since the 2nd silicon electrode layer 74 is formed on the 1st silicon electrode layer 62 linked to the impurity diffused layer of the WORD transistor formed by the N-channel metal oxide semiconductor of a DRAM memory cell, Lynn which is the impurity of N type is introduced into the 2nd silicon electrode layer 74.

[0059] Subsequently, insulator layers, such as BPSG which can take the 2nd etching stopper layer 71, the 1st silicon electrode layer 62, and an etchback selection ratio, are formed on the 2nd etching stopper layer 71 at 500nm – 1.50 micrometers thickness, and opening is formed on the 2nd silicon electrode layer 74.
[0060] A polish recon layer or an amorphous silicon layer is formed in the above-mentioned opening, and it leaves the 3rd silicon electrode layer 76 which serves as a capacitor lower electrode only in a contact hole by CMP. With the gestalt of this operation, although the formation approach by CMP was used, it may leave the 3rd silicon electrode layer 76 in a contact hole using an etchback technique. The approach of introducing an impurity into the 3rd silicon electrode layer 76 may be introduced into CVD and coincidence which form the 3rd silicon electrode layer 76. You may introduce by the ion implantation after CVD. Lynn which is the impurity of N type is introduced into the 3rd silicon electrode layer 76 with the gestalt of this operation.
[0061] The wet etching using fluoric acid as isotropic etching which can take the 2nd etching stopper layer 71 and a selection ratio removes insulator layers, such as BPSG.
[0062] Subsequently, as a dielectric film (not shown) of a capacitor, the so-called ONO film (silicon oxide / silicon nitride / silicon oxide) is formed in the front face of the silicon electrode layer 76 of the above 3rd so that it may change at 3nm – 10nm thickness. Furthermore, the 4th silicon electrode layer 78 which forms a polish recon layer or an amorphous silicon layer, and serves as a capacitor up electrode is formed. The approach of introducing an impurity into the 4th silicon electrode layer 78 may be introduced into CVD and coincidence which form the 4th silicon electrode layer 78. Or you may introduce by the ion implantation after CVD.
[0063] With the gestalt of this operation, in the gestalt of this operation which introduces into the 4th silicon electrode layer 78 Lynn which is the impurity of N type, although the silicon electrode was used as a capacitor electrode, a metal electrode may be used. Furthermore, with the gestalt of this operation, although the ONO film was used as a capacitor dielectric film, ferroelectric film, such as tantalic acid-ized film and BST, may be used. Furthermore, although the capacitor of cylinder structure was used with the gestalt of operation of this invention, it is possible to also apply a simple laminating mold capacitor and the capacitor electrode of fin structure.
[0064] Next, when removing insulator layers, such as BPSG under the 3rd silicon electrode layer 76, by the isotropic etching which can take the 2nd etchback stopper layer 71 and a selection ratio, and in case the 4th silicon electrode layer 78 is etched, the 2nd etching stopper layer 71 is etched and thickness decreases. When control of the amount of film decreases at this time is difficult, in case etching formation of the 4th silicon electrode layer 78 is carried out, etching removal of the 2nd a part or all of all thickness of the etching stopper layer 71 may be carried out, and the 3rd new etching stopper layer may be formed.
[0065] Next, after forming the 4th interlayer insulation film 81 in 500nm – 2.50 micrometers thickness by silicon oxide, the 5th interlayer insulation film later explained on a capacitor using the technique of CMP, whole surface etchback, etc. carries out flattening so that 100nm – 1.00 micrometers may remain.
[0066] Subsequently, a photoresist opening pattern is alternatively formed on the 4th interlayer insulation film 81 of the above. With the gestalt of this operation, in order to carry out opening of the contact of a up to [the gate electrode wiring layer of a circumference MOS transistor formation field], the 4th interlayer insulation film 81 is etched. According to the etching conditions which can take the 2nd etching stopper layer 71 and a selection ratio at this time, after etching the 4th interlayer insulation film 81, etching is suspended on the 2nd etching stopper layer 71.
[0067] And the 2nd etching stopper layer 71 is etched and sequential etching of the 3rd interlayer insulation film 69, 2nd interlayer insulation film 65, and 1st interlayer insulation film 61 is carried out further. According to the etching conditions which can take the 1st etching stopper layer (not shown) and a selection ratio at this time, after removing the 1st interlayer insulation film 61, etching is once stopped on the 1st etching stopper layer.

[0068] The 1st etching stopper layer is etched, etching removal of the silicon nitride or silicon oxide which constitutes the offset film formed on the gate electrode 22 of a circumference MOS transistor formation field next is carried out, and a contact hole is formed on the gate electrode 22.
[0069] Subsequently, a photoresist opening pattern is alternatively formed on the 4th interlayer insulation film 81. With the gestalt of this operation, opening of the contact hole is carried out on the impurity diffused layer of a circumference MOS transistor formation field following contact of a up to [the gate electrode wiring layer 22 of a circumference MOS transistor formation field]. At this time, the contact hole top formed on the gate electrode 22 is embedded by the photoresist. And the 4th interlayer insulation film 81 is etched. According to the etching conditions which can take the 2nd etching stopper layer 71 and a selection ratio at this time, after removing the 4th interlayer insulation film 81, etching is suspended on the 2nd etching stopper layer 71.
[0070] And the 2nd etching stopper layer 71 is etched and sequential etching of the 3rd interlayer insulation film 69, 2nd interlayer insulation film 65, and 1st interlayer insulation film 61 is carried out further. According to the etching conditions which can take the 1st etching stopper layer (not shown) and a selection ratio at this time, after removing the 1st interlayer insulation film 61, etching is suspended on the 1st etching stopper layer.
[0071] Subsequently, the 1st etching stopper layer is etched and a contact hole is formed on the impurity diffused layer of a circumference MOS transistor formation field.
[0072] A titanium layer is formed in a contact hole at the thickness of 10nm - 100nm, and the titanium nitride used as barrier metal is formed in the thickness of 10nm - 50nm with sputtering or a CVD method. Next, the tungsten layer used as the 1st metal electrode is formed in the thickness of 100nm - 500nm with sputtering or a CVD method. With CMP or whole surface etchback, it leaves the 1st metal electrode 84 in a contact hole. The 1st metal electrode 84 may carry out selection formation into a contact hole using techniques, such as a selection CVD method.
[0073] The 1st layer metal wiring layer 86 which is electrically connected with the 1st metal electrode 84 and which forms the 1st layer metal wiring layer 86 Form a titanium layer in the thickness of 3nm - 50nm, and the titanium nitride used as barrier metal is formed in the thickness of 10nm - 50nm. The aluminum wiring layer containing copper is formed in the thickness of 200nm - 800nm, a titanium layer is formed in the thickness of 3nm - 10nm, and a titanium nitride is formed in the thickness of 10nm - 100nm by sputtering or CVD. The aluminum wiring layer containing copper can also be formed with other ingredients, such as aluminum wiring and copper wiring. On the 1st layer metal wiring layer 86, silicon oxide is deposited on the thickness of 500nm - 2.00 micrometers, and the 5th interlayer insulation film 88 is formed. Then, flattening of the 5th interlayer insulation film 88 front face is carried out using the technique of CMP or whole surface etchback.
[0074] Furthermore, sequential formation of a metal electrode 90, the 2nd layer metal wiring layer 92, the 6th interlayer insulation film 94, the 3rd metal electrode 96, the 3rd layer metal wiring layer 98 and the 7th interlayer insulation film 100, and the 2nd metal electrode 102, 4th layer metal wiring layer 104 and 8th interlayer insulation film 106 as well as the 1st metal electrode 84, the 1st layer metal wiring layer 86, and formation of the 5th interlayer insulation film 88 is carried out. [4th] Opening is alternatively formed in the part which serves as a pad by the 4th layer metal wiring layer 104 in a silicon nitride after forming in the thickness of 500nm - 1.50 micrometers as exaggerated coat film 108.
[0075] As explanation was given [above-mentioned], one side of high concentration impurity diffused layer 29e for ejection of an electrostatic-discharge protection component is connected to an external I/O terminal. Moreover, high concentration impurity diffused layer 29e for ejection of another side is as common as the source drain field of I/O MOS transistor 3. Therefore, the electrostatic-discharge protection component 1 equipped with the protective resistance field 31 is formed between high concentration impurity diffused layer 29e for ejection (impurity diffused layer) and I/O MOS transistors 3 which were connected with the external I/O terminal.
[0076] Next, the top view of drawing 7 explains an example of another configuration of the electrostatic-

discharge protection component 1. The configuration shown in drawing 7 comes to form the same I/O MOS transistor 3 in the active field A surrounded by the component isolation region 12 as the protective resistance field 31 and said drawing 1 explained.

[0077] The above-mentioned protective resistance field 31 is covered with the mask layer 28 which consists of the same low-concentration impurity diffused layer as said drawing 1 explained, and consists of the sidewall formative layer 26 of a silicon nitride film. Moreover, opening 28a is formed in the above-mentioned mask layer 28, and high concentration impurity diffused layer 29e for ejection of an electrostatic-discharge protection component is prepared in the semi-conductor substrate 11 in this opening 28a. This high concentration impurity diffused layer 29e for ejection is connected to an external I/O terminal (not shown). Moreover, high concentration impurity diffused layer 29e for ejection of another side is as common as the source drain field formed in the semi-conductor substrate 11 in the both sides of the gate electrode 22 of I/O MOS transistor 3. Furthermore, the same metal silicide layer 33 is formed in the source drain field of I/O MOS transistor 3, and above-mentioned high concentration impurity diffused layer 29for ejection e as said drawing 1 R> 1 explained. In addition, the part which drew and showed x mark in a drawing and in ** is contacting.

[0078] The gestalt of operation of this invention is not limited to a DRAM memory cell, and may be applied to the memory cell using the ferroelectric film as a capacitative element. It is also possible to apply the gate electrode of an MOS transistor to the silicide-ized so-called general full silicide furthermore. However, since it forms also in a DRAM memory cell formation field the photoresist pattern 51 which forms the protective resistance field 31 in forming a DRAM memory cell in coincidence, the formation process of the photoresist pattern 51 which forms the protective resistance field 31 does not become like additional processing.

[0079] However, since there is no memory cell formation process in the case of the logic component formation process using full silicide, the photoresist pattern formation process which forms a protective resistance field becomes like additional processing. However, it can suppress becoming an increase of a process as much as possible by using a LDD formation process as a protection resistance element formation process.

[0080] Although the gestalt of the above-mentioned implementation explained an example of the manufacture approach which prepared the electrostatic-discharge protection component in the semiconductor device consolidated with DRAM and a logic component, it is also possible to apply to the manufacture approach which forms the electrostatic-discharge protection component of the above-mentioned configuration with the same configuration at the semiconductor device of a logic component simple substance.

[0081]

[Effect of the Invention] As mentioned above, it becomes possible to obtain the static protection component stabilized without suppressing becoming an increase of a process by using a LDD formation process as a protection resistance element formation process in the semiconductor device which loaded together the DRAM cel and the logic component according to the semiconductor device and its manufacture approach of this invention, and its manufacture approach as much as possible as explained, and reducing the capacity of a transistor. further -- FURUSA LISA -- also in the case of the logic component formation process using the id, the capacity stabilization effect of a transistor can be acquired for the almost same process reduction effectiveness as the LSI device consolidated with DRAM cel logic, and the electrostatic-discharge prevention effectiveness.

[Translation done.]

* NOTICES *
JPO and NCIPI are not responsible for any
damages caused by the use of this translation.
1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] It is the outline configuration sectional view showing the gestalt of operation of the semiconductor device of this invention.
[Drawing 2] It is the outline configuration sectional view showing an example of the gestalt of a protection resistance element.
[Drawing 3] It is the production process Fig. showing the gestalt of operation concerning the manufacture approach of the semiconductor device of this invention.
[Drawing 4] It is drawing showing the relation of the sheet resistance of electrostatic-discharge pressure-proofing, the protection resistance element length T, I/O MOS transistor capacity (drain current), and a protection resistance element.
[Drawing 5] It is the production process Fig. showing the gestalt of operation concerning the manufacture approach of the semiconductor device of this invention.
[Drawing 6] It is the production process Fig. showing the gestalt of operation concerning the manufacture approach of the semiconductor device of this invention.
[Drawing 7] It is the top view showing an example of another configuration of an electrostatic-discharge protection component.
[Description of Notations]
1 [-- A low-concentration impurity diffused layer, 26 / -- The sidewall formative layer, 27 / -- A sidewall, 29 / -- A high-concentration impurity diffused layer, 29e / -- The high concentration impurity diffused layer for ejection, 31 / -- A protective resistance field, 33 / -- Metal silicide layer] -- An electrostatic-discharge protection component, 3 -- An I/O MOS transistor, 22 -- A gate electrode, 23

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号
特開2002－134630
（P2002－134630A）
(43)公開日　平成14年５月10日(2002.5.10)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｈ０１Ｌ 21/8238		Ｈ０１Ｌ 21/28	３０１Ｄ	４Ｍ１０４
27/092			３０１Ｓ	５Ｆ０３３
21/28	３０１	27/06	３１１Ａ	５Ｆ０３８
		27/10	４６１	５Ｆ０４８
21/768		27/08	３２１Ｈ	５Ｆ０８３

審査請求　未請求　請求項の数４　ＯＬ　（全 13 頁）　最終頁に続く

(21)出願番号　特願2000－325605(P2000－325605)

(22)出願日　平成12年10月25日(2000.10.25)

(71)出願人　000002185
ソニー株式会社
東京都品川区北品川６丁目７番35号

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号

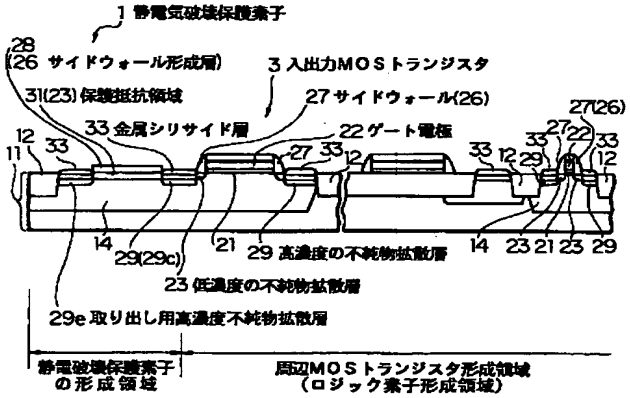
(72)発明者　吉原　郁夫
東京都品川区北品川６丁目７番35号　ソニー株式会社内

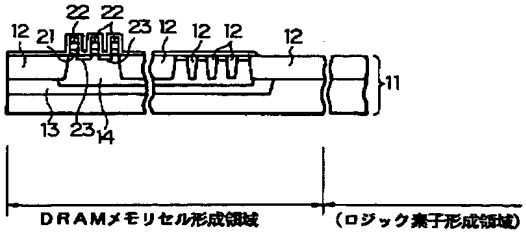
(74)代理人　100086298
弁理士　船橋　國則

最終頁に続く

(54)【発明の名称】　半導体装置およびその製造方法

(57)【要約】
【課題】　外部入出力端子に接続された不純物拡散層、入出力ＭＯＳトランジスタ間に静電破壊保護素子を有する半導体装置において、エッチングダメージや炭素等の混入を排除して金属シリサイド層を形成しコンタクトの低抵抗化を図る。
【解決手段】　外部入出力端子に接続された不純物拡散層（取り出し用高濃度不純物拡散層２９ｅ）と入出力ＭＯＳトランジスタ３との間に静電破壊保護素子１を有する半導体装置において、回路素子の少なくとも一つのトランジスタは少なくとも二つの異なる濃度の不純物拡散層を有しかつサリサイドプロセスで形成されたＭＯＳトランジスタからなり、静電破壊保護素子１は、低濃度の不純物拡散層２３を含む保護抵抗領域３１と、その上に設けたサイドウォール形成層２６（マスク層２８）に対して自己整合的に形成した取り出し用高濃度不純物拡散層２９ｅと、その上に形成した金属シリサイド層３３とからなるものである。





1

【特許請求の範囲】

【請求項１】　外部入出力端子に接続された不純物拡散層と入出力ＭＯＳトランジスタとの間に静電破壊保護素子を有する半導体装置において、

回路素子の不純物拡散層上に金属シリサイド層が形成され、

前記回路素子の少なくとも一つのトランジスタは少なくとも二つの異なる濃度を有する不純物拡散層を有するＭＯＳトランジスタからなり、

前記二つの異なる濃度を有する不純物拡散層のうち低濃度の不純物拡散層は前記ＭＯＳトランジスタのゲート電極に対して自己整合的に形成されたものからなり、

前記二つの異なる濃度を有する不純物拡散層のうち高濃度の不純物拡散層と前記金属シリサイド層とは前記ＭＯＳトランジスタのゲート電極側壁に形成されたサイドウォールに対して自己整合的に形成されたものからなり、

前記静電破壊保護素子は、

前記低濃度の不純物拡散層を少なくとも含む保護抵抗領域と、

前記保護抵抗領域上に設けられた前記サイドウォールを形成するためのサイドウォール形成層に対して自己整合的に形成されたもので前記保護抵抗領域の両端に形成された取り出し用高濃度不純物拡散層と、

前記取り出し用高濃度不純物拡散層上に形成された前記金属シリサイド層とからなることを特徴とする半導体装置。

【請求項２】　前記半導体装置は同一チップ上にメモリ素子形成領域とロジック素子形成領域とを併せ持ち、

前記回路素子は前記ロジック素子形成領域に形成され、

前記メモリ素子形成領域のメモリセル形成領域上には前記金属シリサイド層が形成されず、かつ前記メモリ素子形成領域の周辺回路形成領域上は前記サイドウォール形成層により自己整合的に前記金属シリサイドが形成されたことを特徴とする請求項１記載の半導体装置。

【請求項３】　外部入出力端子と接続された不純物拡散層と入出力ＭＯＳトランジスタとの間に静電破壊保護素子を有する半導体装置の製造方法において、

半導体基板上に素子分離領域を形成する工程と、

前記素子分離領域により分離されたもので前記半導体基板上に設けられた素子形成領域にゲート絶縁膜を形成した後、前記ゲート絶縁膜上にＭＯＳトランジスタのゲート電極を形成する工程と、

前記ＭＯＳトランジスタのゲート電極に対して自己整合的に低濃度の不純物拡散層を形成すると同時に前記静電破壊保護素子の形成領域に低濃度の不純物拡散層の少なくとも一部を形成する工程と、

前記ＭＯＳトランジスタのゲート電極側壁にサイドウォールを形成すると同時に前記静電破壊保護素子の形成領域の保護抵抗領域となる部分上に前記サイドウォールを形成する際に用いたサイドウォール形成層を選択的に残す工程と、

2

前記ＭＯＳトランジスタのサイドウォールに対して自己整合的に高濃度の不純物拡散層を形成すると同時に前記保護抵抗領域となる部分上に選択的に残した前記サイドウォール形成層に対して自己整合的に前記静電破壊保護素子の取り出し領域となる高濃度の不純物拡散層を形成する工程と前記高濃度の不純物拡散層上に金属シリサイド層を選択的に形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項４】　前記半導体装置は同一チップ上にメモリ素子形成領域とロジック素子形成領域とを併せ持ち、

前記ＭＯＳトランジスタのゲート電極側壁にサイドウォールを形成すると同時に前記静電破壊保護素子の形成領域の保護抵抗領域となる部分上に前記サイドウォールを形成する際に用いたサイドウォール形成層を選択的に残す工程において、前記メモリ素子形成領域のメモリセル形成領域上に前記サイドウォール形成層を選択的に残すことを特徴とする請求項３記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、詳しくは静電破壊保護素子を備えた半導体装置およびその製造方法に関する。

【０００２】

【従来の技術】最近の半導体素子の微細化と高速化の要求にともない、ゲート電極およびソース・ドレイン領域など不純物拡散領域を低抵抗化する手段として自己整合的に高融点金属シリサイドを形成するサリサイド技術が広く提案され、すでに製品化されている。

【０００３】高融点金属シリサイドを形成することにより、従来に比較して不純物拡散領域のシート抵抗は約１／２０に低抵抗化される。例えば従来のシート抵抗は数１００Ω／□程度であったが、高融点金属シリサイドの形成によりシート抵抗は約５Ω／□となった。また、ＣＭＯＳ（相補型ＭＯＳ）トランジスタで構成される半導体装置においては、特に外部からの静電気による静電破壊（ＥＳＤ：Electrostatic Discharge ）から半導体装置を保護するために、保護ダイオードや保護抵抗を保護回路素子として用いていることも知られている。

【０００４】サリサイドを特に拡散層（不純物拡散領域ともい記す）に用いた場合には、拡散層の抵抗が数Ω／□まで低抵抗化されるために、保護回路の本来の能力が失われてしまい、様々な破壊をもたらす。この原因は、サリサイド化によって、保護回路におけるＭＯＳトランジスタのソース・ドレイン領域の拡散層抵抗が低くなりすぎるため、外部から印加される静電気の高電圧に対して、従来は拡散層の抵抗（～数１００Ω／□）によってある程度緩和することを目的としていた機能が作用しないことに起因している。

3

【０００５】この問題点を解決するため、様々な保護回路が提案されているが、設計手法が煩雑となる問題があった。

【０００６】また保護回路部分のみサリサイドを実施しない製造方法も提案されている。その製造方法では、ＭＯＳトランジスタのＬＤＤ構造を形成した後、高融点金属シリサイドを形成する領域と形成しない領域とを作り分けるため、高融点金属シリサイドを選択的に形成するためのマスクとなる絶縁膜を基板全面に形成した後、ドライエッチングによって、その絶縁膜のうち高融点金属シリサイドを形成する領域上の絶縁膜のみ除去する工程が含まれている。

【０００７】

【発明が解決しようとする課題】しかしながら、高融点金属シリサイドを形成する領域と形成しない領域とを作り分けるため、ドライエッチングで高融点金属シリサイドを形成する領域に形成された絶縁膜を除去する場合には、高融点金属シリサイドを形成する領域上に存在するポリシリコン表面やシリコン基板表面へのエッチングダメージや炭素の混入等によって、低抵抗な高融点金属シリサイドの形成が困難になる。このエッチングダメージや炭素等の混入（炭素によるコンタミネーション）による影響は広く報告されていて、極力避ける必要がある。

【０００８】以上のように、高融点金属シリサイドが存在する領域と存在しない領域とを同一基板内に形成する場合、低抵抗な高融点金属シリサイドと、良好なコンタクトを形成する技術が必要とされている。さらに高融点金属シリサイドが存在する領域と存在しない領域を同一基板内に形成すると、プロセスが複雑になり製造コストも上昇するという問題があり、それを解決する必要があった。

【０００９】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置およびその製造方法である。

【００１０】本発明の第１の半導体装置は、外部入出力端子に接続された不純物拡散層と入出力ＭＯＳトランジスタとの間に静電破壊保護素子を有する半導体装置において、回路素子の不純物拡散層上に金属シリサイド層が形成され、前記回路素子の少なくとも一つのトランジスタは少なくとも二つの異なる濃度を有する不純物拡散層を有するＭＯＳトランジスタからなり、前記二つの異なる濃度を有する不純物拡散層のうち低濃度の不純物拡散層は前記ＭＯＳトランジスタのゲート電極に対して自己整合的に形成されたものからなり、前記二つの異なる濃度を有する不純物拡散層のうち高濃度の不純物拡散層と前記金属シリサイド層とは前記ＭＯＳトランジスタのゲート電極側壁に形成されたサイドウォールに対して自己整合的に形成されたものからなり、前記静電破壊保護素子は、前記低濃度の不純物拡散層を少なくとも含む保護

4

抵抗領域と、前記保護抵抗領域上に設けられた前記サイドウォールを形成するためのサイドウォール形成層に対して自己整合的に形成されたもので前記保護抵抗領域の両端に形成された取り出し用高濃度不純物拡散層と、前記取り出し用高濃度不純物拡散層上に形成された前記金属シリサイド層とからなるものである。

【００１１】本発明の第２の半導体装置は、上記第１の半導体装置において、前記半導体装置は同一チップ上にメモリ素子形成領域とロジック素子形成領域とを併せ持ち、前記回路素子は前記ロジック素子形成領域に形成され、前記メモリ素子形成領域のメモリセル形成領域上には前記金属シリサイド層が形成されず、かつ前記メモリ素子形成領域の周辺回路形成領域上は前記サイドウォール形成層により自己整合的に前記金属シリサイドが形成されたものである。

【００１２】上記第１、第２の半導体装置では、静電破壊保護素子は、低濃度の不純物拡散層を少なくとも含む保護抵抗領域と、保護抵抗領域上に設けられたサイドウォールを形成するためのサイドウォール形成層に対して自己整合的に形成されたもので保護抵抗領域の両端に形成された取り出し用高濃度不純物拡散層と、取り出し用高濃度不純物拡散層上に形成された金属シリサイド層とからなることから、ＬＤＤ構造のＭＯＳトランジスタの製造プロセスによりＬＤＤ構造のＭＯＳトランジスタと同時に形成されたものからなる。そのため、金属シリサイド層が形成される領域のポリシリコンおよびシリコン基板上に追加のドライエッチングによるエッチングダメージやコンタミネーション（重金属汚染等）の混入が抑制されているため、金属シリサイド層は、低抵抗でシリコン領域の線幅に依存しないものとなっている。

【００１３】本発明の半導体装置の製造方法は、外部入出力端子と接続された不純物拡散層と入出力ＭＯＳトランジスタとの間に静電破壊保護素子を有する半導体装置の製造方法において、半導体基板上に素子分離領域を形成する工程と、前記素子分離領域により分離されたもので前記半導体基板上に設けられた素子形成領域にゲート絶縁膜を形成した後、前記ゲート絶縁膜上にＭＯＳトランジスタのゲート電極を形成する工程と、前記ＭＯＳトランジスタのゲート電極に対して自己整合的に低濃度の不純物拡散層を形成すると同時に前記静電破壊保護素子の形成領域に低濃度の不純物拡散層の少なくとも一部を形成する工程と、前記ＭＯＳトランジスタのゲート電極側壁にサイドウォールを形成すると同時に前記静電破壊保護素子の形成領域の保護抵抗領域となる部分上に前記サイドウォールを形成する際に用いたサイドウォール形成層を選択的に残す工程と、前記ＭＯＳトランジスタのサイドウォールに対して自己整合的に高濃度の不純物拡散層を形成すると同時に前記保護抵抗領域となる部分上に選択的に残した前記サイドウォール形成層に対して自己整合的に前記静電破壊保護素子の取り出し領域となる

高濃度の不純物拡散層を形成する工程と、前記高濃度の不純物拡散層上に金属シリサイド層を選択的に形成する工程とを備えている。

【００１４】本発明の第２の半導体装置の製造方法は、前記半導体装置は同一チップ上にメモリ素子形成領域とロジック素子形成領域とを併せ持ち、前記ＭＯＳトランジスタのゲート電極側壁にサイドウォールを形成すると同時に前記静電破壊保護素子の形成領域の保護抵抗領域となる部分上に前記サイドウォールを形成する際に用いたサイドウォール形成層を選択的に残す工程において、前記メモリ素子形成領域のメモリセル形成領域上に前記サイドウォール形成層を選択的に残すことを特徴としている。

【００１５】上記第１、第２の半導体装置の製造方法では、ＭＯＳトランジスタの低濃度の不純物拡散層、高濃度の不純物拡散層、金属シリサイド層を形成するのと同時に静電破壊保護素子の保護抵抗領域となる部分、静電破壊保護素子の取り出し領域となる高濃度の不純物拡散層、この高濃度の不純物拡散層上に形成する金属シリサイド層を形成することができる。そのため、プロセス的負荷をかけることなく、静電破壊保護素子が形成される。

【００１６】また、ＬＤＤ構造のＭＯＳトランジスタと同時に形成することが可能になるので、金属シリサイド層を形成する領域（シリサイド領域）のポリシリコンおよびシリコン基板上に追加のドライエッチングによるエッチングダメージやコンタミネーション（重金属汚染等）の混入が抑制されるため、低抵抗でシリコンの線幅に依存しない高融点金属シリサイドの形成が可能になる。

【００１７】上記半導体装置およびその製造方法を、例えば、ロジック回路とメモリ回路を混載する半導体装置に適用すると、金属シリサイド層（以下高融点金属シリサイド層として説明する）が形成されていない領域をＤＲＡＭセル形成領域とすることで、良好なＤＲＡＭリテンション（保持）特性等を得ることが可能となる。ＤＲＡＭでは、高融点金属シリサイド層を不純物拡散層（ソース・ドレイン領域）に形成すると、基本的に接合リーク特性が劣化する。この劣化の原因は、ソース・ドレイン領域に高融点金属シリサイド層を形成すると、高融点金属シリサイド層と実質的な接合との距離が短くなること、また実際は部分的に高融点金属シリサイドが厚く形成されるために接合リークが増大すること等による。この接合リークの増大により、例えばＤＲＡＭ等のリテンション特性が問題となるデバイスでは、本発明の技術を適用すると、接合リークは減少しかつ高速動作が必要な周辺回路部では高融点金属シリサイドにより低抵抗化した不純物化領域を積極的に使用できる。

【００１８】

【発明の実施の形態】本発明の半導体装置に係る実施の形態を、図１の概略構成断面図によって説明する。この図１では、一例として、入出力ＭＯＳトランジスタと静電破壊保護素子とを有する半導体装置を示す。

【００１９】図１に示すように、Ｐ型の半導体基板１１に素子分離領域１２が形成され、この素子分離領域１２によって素子形成領域が分離されている。この素子分離領域は例えば２５０ｎｍ～５００ｎｍの深さの溝に絶縁膜を埋め込んで形成されている。

【００２０】上記絶縁膜は、溝内面をシリコン窒化膜で覆い、溝内をシリコン酸化膜で埋め込むことによって形成されている。なお、このシリコン酸化膜を形成する前に、酸化法によって、応力緩和を目的とした５０ｎｍ～２００ｎｍの厚さのシリコン酸化膜を形成しておいてもよい。この実施の形態では、素子分離領域を溝への埋め込み法で形成したが、従来から用いられているＬＯＣＯＳ法（選択酸化法）で形成された素子分離領域を用いることも可能である。

【００２１】また、Ｐ型の半導体基板１１のＤＲＡＭメモリセル形成領域（メモリ素子形成領域）にリンを高エネルギーで注入してＮウエル領域１３が形成されている。そのＮウエル領域１３の内側にはホウ素をイオン注入してなるＰウエル領域１４が形成されている。同時に、周辺ＭＯＳトランジスタ形成領域（ロジック素子形成領域）にもＮウエル領域１３とＰウエル領域１４を形成する。さらにＮチャネルＭＯＳトランジスタ、ＰチャネルＭＯＳトランジスタ、ＤＲＡＭメモリセルのワードトランジスタには、スレッショルド電圧を決定するためのイオン注入が行われている。

【００２２】上記半導体基板１１上には、ゲート絶縁膜（例えばゲート酸化膜）２１が例えば２ｎｍ～１０ｎｍの所定の厚さに形成されている。このとき、トランジスタの用途に合わせてゲート絶縁膜２１の膜厚が作り分けられている。例えば高電流駆動能力かつ低オフ電流が要求される周辺ＭＯＳトランジスタ形成領域では、２ｎｍ～５ｎｍの厚さにゲート絶縁膜２１が形成されている。高耐圧動作を要求される周辺ＭＯＳトランジスタ形成領域では５ｎｍ～１０ｎｍの厚さにゲート絶縁膜２１が形成されている。ＤＲＡＭメモリセルのワードトランジスタはセルのデータ保持能力に合わせてゲート絶縁膜２１の膜厚が設定され、例えば６ｎｍの厚さに形成されている。

【００２３】さらにゲート絶縁膜２１上には、ゲート電極(ゲート電極配線も含む)２２が形成されている。このゲート電極２２は、例えば５０ｎｍ～１５０ｎｍの膜厚に成膜した所定の不純物が導入されたシリコン層（アモルファスシリコン層もしくはポリシリコン層）と、その上に形成された高融点金属シリサイド層とからなり、さらにその上にオフセット絶縁膜が形成されている。なお、ＮチャネルＭＯＳトランジスタ、ＰチャネルＭＯＳトランジスタのいずれもが表面チャネル型のＭＯＳトラ

ンジスタとなるように、いわゆるデュアルゲート構造としてもよい。上記高融点金属シリサイド層としては、例えば５０ｎｍ～１５０ｎｍの膜厚のタングステンシリサイド層を用いる。上記オフセット膜は、例えば１００ｎｍ～２００ｎｍの膜厚に形成したシリコン窒化膜もしくはシリコン酸化膜で形成されている。

【００２４】周辺ＭＯＳトランジスタ形成領域にはＬＤＤ不純物拡散層となる低濃度の不純物拡散層２３が形成されている。ＬＤＤ不純物拡散層は、ＮチャネルＭＯＳトランジスタ形成領域ではＮ型の不純物として例えばヒ素をイオン注入されて形成され、ＰチャネルＭＯＳトランジスタ形成領域ではＰ型の不純物として例えばホウ素（例えば二フッ化ホウ素（BF_2^+））をイオン注入されて形成されている。

【００２５】ＤＲＡＭメモリセル形成領域のワードトランジスタは、例えばＮチャネルＭＯＳトランジスタで形成されているため、そのソース・ドレインはＮ型の低濃度不純物拡散層２３で形成されている。

【００２６】静電破壊保護素子領域の保護抵抗素子形成領域にはＬＤＤ不純物拡散層２３が形成されている。この実施の形態のようにＤＲＡＭメモリセルを有する半導体装置の場合、電源電圧として例えば１．５Ｖ電源と３．３Ｖ電源のＭＯＳトランジスタとしてＬＤＤの濃度や注入イオンを変える場合が一般的である。上記保護抵抗素子形成領域における低濃度の不純物拡散層２３の抵抗値は、ＮＭＯＳの場合、１．５Ｖ電源ＮＭＯＳ、３．３Ｖ電源ＮＭＯＳ、ＤＲＡＭワードトランジスタの３種類のＬＤＤイオン注入から任意の２種類または１種類または３種類全てを選択することにより決定されている。例えば、２種類のＬＤＤイオン注入を行う場合には、図２に示すように、保護抵抗領域３１を、１．５Ｖ電源ＮＭＯＳの低濃度の不純物拡散層２１と３．３Ｖ電源ＮＭＯＳの低濃度の不純物拡散層２３と同時に形成することができる。すなわち、保護抵抗領域３１には、低濃度の不純物拡散層２１を形成するイオン注入によりヒ素が$3\times10^{14}/cm^2$のドーズ量で導入されて低濃度の不純物拡散層２１Ｒが形成され、低濃度の不純物拡散層２３を形成するイオン注入によりリンが$1\times10^{13}/cm^2$のドーズ量で導入されて低濃度の不純物拡散層２３Ｒが形成される。

【００２７】さらに前記図１に示すように、各ゲート電極２２の側壁にはサイドウォール形成層２６からなるサイドウォール２７が形成されている。このサイドウォール形成層２６は例えばシリコン窒化膜で形成されている。それとともに、上記保護抵抗素子形成領域上には上記サイドウォール形成層２６からなるマスク層２８が形成されている。このマスク層２８下部の低濃度の不純物拡散層２３が保護抵抗領域３１となっている。

【００２８】また、周辺ＭＯＳトランジスタ形成領域には高濃度の不純物拡散層２９と低濃度の不純物拡散層２３とからなるＬＤＤ構造のソース・ドレイン不純物拡散層が形成されている。ＮチャネルＭＯＳトランジスタ形成領域にはＮ型の不純物として例えばヒ素をイオン注入したソース・ドレイン不純物拡散層が形成され、ＰチャネルＭＯＳトランジスタ形成領域には例えばホウ素をイオンしたソース・ドレイン不純物拡散層が形成されている。

【００２９】また、上記保護抵抗領域３１の両端には、上記マスク層２８（サイドウォール形成層２６）に対して自己整合的に形成された取り出し用高濃度拡散層２９が上記ソース・ドレイン不純物拡散層の高濃度の不純物拡散層２９と同時に形成されている。

【００３０】さらに、上記周辺ＭＯＳトランジスタ形成領域のソース・ドレイン不純物拡散層（高濃度の不純物拡散層２９）上、および上記取り出し用高濃度拡散層２９（２９ｅ）上には、金属シリサイド層３３が例えばコバルトシリサイド（$CoSi_2$）層で形成されている。この低抵抗なコバルトシリサイド層は、熱処理を複数回、例えば２回行うことにより形成される。この結果、相転移されたコバルトシリサイド層の抵抗は下がり、高速動作が必要なロジック回路などに用いられるＭＯＳトランジスタのソース・ドレイン領域（高濃度の不純物拡散層２９）のシート抵抗とコンタクト抵抗を大幅に減らすことができる。相転移されたコバルトシリサイド層が形成されていない静電破壊保護素子の保護抵抗領域３１と、メモリ素子として例えばＤＲＡＭのメモリセル形成領域では、ＭＯＳトランジスタのソース・ドレイン領域のリーク電流を減らすことができ、かつ静電破壊保護素子の保護抵抗領域３１により静電破壊による接合やゲート酸化膜の破壊を防止できる。この実施の形態では、コバルトシリサイド層を一例として説明したが、チタンシリサイド（$TiSi_2$）や他の高融点金属材料にも適用することができる。この取り出し用高濃度不純物拡散層２９（２９ｅ）のどちらか一方は外部入出力端子に接続される。また他方の取り出し用高濃度不純物拡散層２９（２９ｅ）は入出力ＭＯＳトランジスタ３のソース・ドレイン領域と共通となっている。したがって、保護抵抗領域３１を備えた静電破壊保護素子１は、外部入出力端子と接続された取り出し用高濃度不純物拡散層２９ｅ（不純物拡散層）と入出力ＭＯＳトランジスタ３との間に形成されている。

【００３１】さらに、図示はしないが、複数のエッチングストッパ層、複数の層間絶縁膜が形成され、その間にＤＲＡＭメモリセル形成領域にビットコンタクト、ビット線が形成され、さらにＤＲＡＭのキャパシタが形成されている。

【００３２】上記実施の形態では、ＤＲＡＭとロジック素子とを混載した半導体装置に静電破壊保護素子を設けた一例を説明したが、ロジック素子単体の半導体装置に上記構成の静電破壊保護素子を同様の構成で適用するこ

とも可能である。

【００３３】上記説明した半導体装置では、静電破壊保護素子は、低濃度の不純物拡散層２３を少なくとも含む保護抵抗領域３１と、保護抵抗領域３１上に設けられたサイドウォール２７を形成するためのサイドウォール形成層２６からなるマスク層２８に対して自己整合的に形成されたもので保護抵抗領域３１の両端に形成された取り出し用高濃度不純物拡散層２９（２９ｅ）と、取り出し用高濃度不純物拡散層２９（２９ｅ）上に形成された金属シリサイド層３３とからなるので、ＬＤＤ構造のＭＯＳトランジスタの製造プロセスによりＬＤＤ構造のＭＯＳトランジスタと同時に形成されたものからなる。そのため、金属シリサイド層３３が形成される領域のポリシリコンおよびシリコン基板上に追加のドライエッチングによるエッチングダメージやコンタミネーション（重金属汚染等）の混入が抑制されているため、金属シリサイド層３３は、低抵抗でシリコン領域の線幅に依存しないものとなっている。

【００３４】次に、本発明の半導体装置の製造方法に係る実施の形態を、図３、図５の製造工程断面図によって説明する。以下の説明では、ロジック素子とメモリ素子（ＤＲＡＭ素子）とを混載した半導体装置の製造方法を説明し、図３ではＤＲＡＭ素子部分の記載は省略した。

【００３５】図３の（１）に示すように、Ｐ型の半導体基板１１に例えば５０ｎｍ～２００ｎｍのシリコン酸化膜（図示せず）を形成した後、シリコン窒化膜（図示せず）を例えば１００ｎｍ～２００ｎｍの膜厚に形成する。シリコン酸化膜はシリコン窒化膜と半導体基板１１との間の応力を緩和するために形成する。シリコン酸化膜上のＭＯＳトランジスタ等の素子形成領域上に選択的にフォトレジストパターン（図示せず）を形成する。シリコン窒化膜、シリサイド酸化膜、半導体基板を１１順次エッチングして、素子分離領域となる溝を形成する。この溝は、一例として２５０ｎｍ～５００ｎｍの深さに形成する。

【００３６】上記溝とシリコン窒化膜を覆って例えば高密度プラズマＣＶＤ（ＣＶＤは Chemical Vapor Deposition の略であり化学的気相成長を意味する）法によるシリコン酸化膜を５００ｎｍ～１．００μｍの膜厚に形成する。このシリコン酸化膜を形成する前に、酸化法によって、応力緩和を目的とした５０ｎｍ～２００ｎｍのシリコン酸化膜を形成してもよい。

【００３７】次いで化学的機械研磨（以下ＣＭＰという、ＣＭＰはChemical Mechanical Polishing ）を用いて、素子分離領域１２となる溝に埋め込んだシリコン酸化膜を研磨して平坦化する。この研磨を行った後、シリコン窒化膜とシリコン酸化膜をエッチングにより除去する。この実施の形態では、素子分離領域１２を溝への埋め込み法で形成したが、従来から用いられているＬＯＣＯＳ法（選択酸化法）を用いて形成することも可能である。

【００３８】次いで、酸化法によって、５０ｎｍ～２００ｎｍ程度の厚さのシリコン酸化膜（図示せず）を形成する。Ｐ型の半導体基板１１のＤＲＡＭメモリセル形成領域にリンを高エネルギーで注入してＮウエル領域を形成し、そのＮウエル領域の内側にホウ素をイオン注入してＰウエル領域を形成する。同時に、周辺ＭＯＳ形成領域にもＮウエル領域１３とＰウエル領域１４を形成する。さらにＮチャネルＭＯＳトランジスタ、ＰチャネルＭＯＳトランジスタ、ＤＲＡＭメモリセルのワードとのスレッショルド電圧を決定するためのイオン注入を行う。

【００３９】次いで、図３の（２）に示すように、前記酸化法によって形成したシリコン酸化膜が除去される厚さ分のシリコン酸化膜を除去した後、ゲート絶縁膜（例えばゲート酸化膜）２１を例えば２ｎｍ～１０ｎｍの所定の厚さに形成する。このとき、トランジスタの用途に合わせてゲート酸化膜の膜厚を作り分ける。例えば高電流駆動能力かつ低オフ電流が要求される周辺ＭＯＳトランジスタ形成領域では、２ｎｍ～５ｎｍの厚さにゲート酸化膜を形成し、高耐圧動作を要求される周辺ＭＯＳトランジスタ形成領域では５ｎｍ～１０ｎｍの厚さのゲート酸化膜を形成する。ＤＲＡＭメモリセルのワードトランジスタはセルのデータ保持能力に合わせてゲート酸化膜厚を設定することができ、例えば６ｎｍの厚さのゲート酸化膜を形成する。このゲート酸化膜の作り分けは、より厚いゲート酸化膜を全面に形成した後に、薄いゲート酸化膜を形成する領域のゲート酸化膜を選択的にエッチング除去して、その除去した領域を再度酸化することにより形成することができる。

【００４０】次いで、ポリシリコン層もしくはアモルファスシリコン層を、例えばＣＶＤ法もしくはスパッタリングによって、例えば５０ｎｍ～１５０ｎｍの膜厚に成膜してゲート電極形成層を形成する。この際、ＮチャネルＭＯＳトランジスタ、ＰチャネルＭＯＳトランジスタのいずれもが表面チャネル型のＭＯＳトランジスタとなるように、いわゆるデュアルゲート構造を採用する場合には、ＮチャネルＭＯＳトランジスタ形成領域にはＮ型不純物として例えばリンをイオン注入し、ＰチャネルＭＯＳトランジスタ形成領域には例えばホウ素をイオン注入する。ゲート電極形成層上に高融点金属シリサイド層として、例えばＣＶＤ法もしくはスパッタリングによって、例えばタングステンシリサイド層を例えば５０ｎｍ～１５０ｎｍの膜厚に形成する。次いで、ＤＲＡＭメモリセルのセルフアラインコンタクトを形成する際のオフセット膜４２を、例えばＣＶＤ法もしくはスパッタリングによって、例えばシリコン窒化膜もしくはシリコン酸化膜を１００ｎｍ～２００ｎｍの膜厚に形成する。ゲート電極を形成するためのフォトレジストパターン（図示せず）を形成した後、異方性エッチングによりオフセッ

ト膜と高融点金属シリサイド層とポリシリコン層またはアモルファスシリコン層を順次エッチングしてゲート電極（ゲート電極配線も含む）２２を形成する。

【００４１】次に、周辺ＭＯＳトランジスタ形成領域（ロジック素子形成領域）にＬＤＤを構成する低濃度の不純物拡散層２３を形成する。ＮチャネルＭＯＳトランジスタ形成領域にはＮ型の不純物として例えばヒ素をイオン注入し、ＰチャネルＭＯＳトランジスタ形成領域にはＰ型の不純物として例えばホウ素〔例えば二フッ化ホウ素（BF_2^+）〕をイオン注入する。チャネル領域とＬＤＤを構成する低濃度の不純物拡散層との間にポケットイオン注入を行うことにより短チャネル効果を抑制することもできる。例えば、ＮチャネルＭＯＳトランジスタ形成領域にはＰ型の不純物として例えばホウ素をイオン注入し、ＰチャネルＭＯＳトランジスタ形成領域には例えばヒ素をイオン注入する。

【００４２】また、ＤＲＡＭメモリセル形成領域（メモリ素子形成領域）のワードトランジスタとして例えばＮチャネルＭＯＳトランジスタを形成するためにＮ型の低濃度不純物として例えばリンをイオン注入する。

【００４３】さらに、静電破壊保護素子領域の保護抵抗素子形成領域にはＬＤＤ工程による低濃度の不純物拡散層２５が形成される。この実施の形態のようにＤＲＡＭメモリセルを有する半導体装置の場合、電源電圧として例えば１．５Ｖ電源と３．３Ｖ電源のＭＯＳトランジスタとしてＬＤＤの濃度や注入イオンを変える場合が一般的である。このときに，静電破壊保護素子領域の保護抵抗領域３３の抵抗値は、ＮＭＯＳの場合、１．５Ｖ電源のＮＭＯＳ、３．３Ｖ電源のＮＭＯＳ、ＤＲＡＭワードトランジスタの３種類のＬＤＤを構成するイオン注入から任意の２種類または１種類または３種類全てを選択することにより調整される。したがって、この低濃度の不純物拡散層２５には例えば上記低濃度の不純物拡散層２３が含まれる。

【００４４】次いで、図３の（３）に示すように、全面にサイドウォール形成層（２６）を、例えば４０ｎｍ～１００ｎｍの厚さのシリコン窒化膜で形成する。次に、周辺ＭＯＳトランジスタ形成領域にのみ開口部が形成されたフォトレジストパターンを形成する。ただし、静電破壊保護素子領域の保護抵抗素子形成領域にはフォトレジストパターン５１を形成する。

【００４５】すなわち、本実施の形態のようなＤＲＡＭメモリセルを有する半導体装置の場合、フォトレジストパターンを形成する領域は静電破壊保護素子領域とＤＲＡＭメモリセル形成領域になる。次に、サイドウォール形成層（２６）の異方性エッチングを行って周辺ＭＯＳトランジスタ形成領域のゲート電極２２側壁にシリコン窒化膜のサイドウォール２７を形成するとともに、静電破壊保護素子領域の保護抵抗素子上にシリコン窒化膜のサイドウォール形成層（２６）からなるマスク層２８を形成する。

【００４６】そして、図３の（４）に示すように、周辺ＭＯＳトランジスタ形成領域にＭＯＳトランジスタのソース・ドレインとなる高濃度の不純物拡散層２９を形成する。ＮチャネルＭＯＳトランジスタ形成領域にはＮ型の不純物として例えばヒ素をイオン注入し、ＰチャネルＭＯＳトランジスタ形成領域には例えばホウ素をイオンする。このとき、マスク層２８に対して自己整合的に静電破壊保護素子領域の保護抵抗素子の取り出し用となる高濃度不純物拡散層２９（２９ｅ）を形成する。したがって、マスク層２８下の低濃度の不純物拡散層２５からなる保護抵抗領域３１が形成される。

【００４７】次に、図３の（５）に示すように、シリコン基板１１上にコバルト層とチタン窒化膜を順次、例えばスパッタリングによって形成する。その後熱処理を行って、高濃度不純物拡散層２９等のシリコン領域上に、自己整合的に高融点金属シリサイド層３３としてコバルトシリサイド層を形成する。サイドウォール２７上、マスク層２８上、ゲート電極２２上に形成されたオフセット膜上および素子分離領域１２上の未反応のコバルト層を除去する。このシリサイド化工程では、シリコン窒化膜からなるマスク層２８に対して自己整合的に上記取り出し用高濃度拡不純物散領層２９ｅ上にも高融点金属シリサイド層３３が形成される。

【００４８】いま、図４の（１）の平面図および（２）の断面図に示すように、保護抵抗領域３１の抵抗値は、静電破壊保護素子領域の保護抵抗領域３１を形成する際に用いたマスク層２８の長さＴと保護抵抗素子３１の不純物濃度と熱処理による活性化率とにより決定される。最適な保護抵抗領域３１を得るには、静電破壊に対する耐圧が向上することと、静電破壊から保護するＭＯＳトランジスタの電流能力（ソース・ドレイン電流）が保護抵抗領域３１を接続することにより著しく低下しないことが必要になる。

【００４９】そのためには、図４の（３）に示すように、ソース・ドレイン電流／電源電圧で示されるＩds／ＶccつまりＯＮ抵抗の２％～３０％が最適であることがわかる。距離Ｔとしては０．３μｍから１．５μｍが最適である。その理由は、さらに距離Ｔを短くすると、距離Ｔの寸法管理が必要になり製品生産上の管理が煩雑になる。一方、距離Ｔを大きくすると、距離Ｔのばらつきにより抵抗値が大きく変動する。距離Ｔとしては０．３μｍ～１．５μｍに設定すると距離Ｔの寸法管理が不要であり、比較的安定した抵抗値が安定して得られる。不純物濃度を含めたシート抵抗値としては、５０Ω／□～６ｋΩ／□が最適である。工程数を増加させること無しに上記不純物濃度を制御するには、前述したＬＤＤ構造を形成するための低濃度の不純物拡散層２５を少なくとも１回は用いて保護抵抗領域３１を形成する。したがって、静電破壊保護素子領域の保護抵抗領域３１はＭＯＳ

トランジスタのＬＤＤを形成する際に同時に形成される低濃度の不純物拡散層２５によって形成される。

【００５０】この実施の形態のように、ＤＲＡＭメモリセルを有する半導体装置の場合には、電源電圧を例えば１．５Ｖ電源のＭＯＳトランジスタと３．３Ｖ電源のＭＯＳトランジスタに対応して、ＬＤＤの濃度や注入イオンを変える場合が一般的である。このときに静電破壊保護素子領域の保護抵抗領域３１の抵抗値を調整するために、ＮＭＯＳの場合には１．５Ｖ電源ＮＭＯＳ、３．３Ｖ電源ＮＭＯＳ、ＤＲＡＭワードトランジスタの３種類のＬＤＤイオン注入から任意の２種類または任意の１種類または３種類全てを選ぶことができる。

【００５１】次に、静電破壊保護素子と周辺ＭＯＳトランジスタ形成領域を示す図５およびＤＲＡＭメモリセル形成領域を示す図６によって、その後の工程を以下に説明する。図５、図６に示すように、全面に第１のエッチングストッパ層（図示せず）となるシリコン窒化膜を例えば１０ｎｍ～５０ｎｍの厚さに形成する。このときのシリコン窒化膜と下層のサイドウォールを形成した２０ｎｍ～１００ｎｍのシリコン窒化膜との積層膜厚の合計は、３０ｎｍ～１５０ｎｍになり、ＤＲＡＭメモリセル形成領域のワードトランジスタ間の距離である１２０ｎｍ～４５０ｎｍに対して１／４以上１／２以下、さらに効果を上げるためには１／４以上１／３以下にすることが望ましい。

【００５２】続いて、上記第１のエッチングストッパ層上に５００ｎｍ～１．００μｍの第１の層間絶縁膜６１を例えばホウ素リンシリケートガラス（ＢＰＳＧ）層で形成する。その後、６５０℃～８００℃程度の熱処理を加えて上記第１の層間絶縁膜６１表面をほぼ平坦化する。このとき、ＤＲＡＭメモリセル形成領域に形成されている第１のエッチングストッパ層（シリコン窒化膜）と下層のサイドウォール２７（シリコン窒化膜）との積層膜厚合計は最適な膜厚に設定されているので、上記第１の層間絶縁膜６１の平坦化においてボイドが発生することは無い。なお、この第１の層間絶縁膜６１は、高密度プラズマＣＶＤ法で形成しても、ＳＯＧ（Spin on glass）を回転塗布して形成してもよい。

【００５３】次に化学的機械研磨（以下ＣＭＰという、ＣＭＰはChemical Mechanical Polishing）によって、第１の層間絶縁膜６１を例えば２００ｎｍ～９００ｎｍの厚さ分を研磨して平坦化する。このときの平坦化は全面エッチバック等の技術を用いてもよい。

【００５４】次いで、ＤＲＡＭメモリセル形成領域の第１の層間絶縁膜６１に選択的にフォトレジスト開口パターンを形成し、第１のエッチングストッパ層となるシリコン窒化膜と下層のサイドウォール２７を形成したシリコン窒化膜の積層膜厚と選択比のとれるエッチングで一旦エッチングを止める。続いてシリコン窒化膜の積層膜をエッチングしてＤＲＡＭメモリセルのワード線２２ｗ間に自己整合的にコンタクトホールを形成する。この工程は、従来から一般的に用いられているセルフアラインコンタクト技術を用いて行う。コンタクトホール内にポリシリコン層またはアモルファスシリコン層を形成して、ＣＭＰによりコンタクトホール内のみに第１のシリコン電極層６２を残す。この実施の形態では、ＣＭＰによる形成方法を用いたが、選択成長技術やエッチバックを用いてコンタクトホール内に第１のシリコン電極層６２を残してもよい。第１のシリコン電極層６２に不純物を導入する方法は、第１のシリコン電極層６２をＣＶＤ法によって形成するのと同時に導入してもよく、またはＣＶＤ後にイオン注入により導入してもよい。この実施の形態では、ＤＲＡＭメモリセルのＮチャネルＭＯＳで形成されるワードトランジスタの不純物拡散層２３と接続する第１のシリコン電極層６２を形成するのでＮ型の不純物であるリンを第１のシリコン電極層６２に導入する。

【００５５】次いで、シリコン酸化膜からなる第２の層間絶縁膜６５を例えば５０ｎｍ～２００ｎｍの厚さに形成した後、ＤＲＡＭメモリセル形成領域に形成した第１のシリコン電極層６２のうち、ビット線コンタクトに相当する第１のシリコン電極層６２の上に選択的に開口部を形成し、開口部を介して第１のシリコン電極層６２と接続されるビット線６６を形成する。この実施の形態ではビット線６６として、例えば５０ｎｍ～２００ｎｍの膜厚のタングステン配線を用いたが、他の高融点金属や高融点金属シリサイド層とポリシリコン層とを積層したポリサイド構造の配線を用いることもできる。

【００５６】次いで、シリコン酸化膜からなる第３の層間絶縁膜６９を例えば５００ｎｍ～１．５０μｍの膜厚に形成した後、ＣＭＰもしくは全面エッチバック等の技術を用いて第３の層間絶縁膜６９表面の平坦化を行う。次に第２のエッチングストッパ層７１を例えば５０ｎｍ～５００ｎｍの膜厚の例えばシリコン窒化膜で形成する。このとき、第２のエッチングストッパ層７１は下層に形成した第１のエッチングストッパ層（図示せず）よりも厚く形成される。ＤＲＡＭメモリセル形成領域に形成した第１のシリコン電極層６２のうちキャパシタ電極に接続する第１のシリコン電極層６２の上におけるエッチングストッパ層７１に選択的に開口部を形成する。次に、後に説明する第４の層間絶縁膜および上記第２のエッチングストッパ層７１とエッチング選択比の取れる材料として例えばポリシリコン層やアモルファスシリコン層を例えば５０ｎｍ～２００ｎｍの膜厚で、上記開口部を覆うように全面に形成する。次いでポリシリコン層やアモルファスシリコン層を異方性エッチングして、第２のエッチングストッパ層７１の開口部側壁にポリシリコン層やアモルファスシリコン層からなるサイドウォールエッチングマスク層を形成する。

【００５７】第２のエッチングストッパ層７１とサイド

ウォールエッチングマスク層をエッチングマスクとして第３の層間絶縁膜６９をエッチングして、ＤＲＡＭメモリセル形成領域に形成した第１のシリコン電極層６２のうち、後に説明するキャパシタ電極に接続される第１のシリコン電極層６２（６２ｃ）上にコンタクトホールを形成する。この時形成されるコンタクトホールは、第２のエッチングストッパ層７１とその開口部に自己整合的に形成されたサイドウォールエッチングマスク層を用いてエッチング形成されるので、リソグラフィー技術の限界を超えたコンタクト径のコンタクトホールを形成することができる。

【００５８】その後、コンタクトホール内にポリシリコン層もしくはアモルファスシリコン層を埋め込むようにして形成した後、ＣＭＰによってコンタクトホール内のみに第２のシリコン電極層７４を残す。この実施の形態では、ＣＭＰによる形成方法を用いたが、選択成長技術やエッチバック技術を用いてコンタクトホール内に第２のシリコン電極層７４を残してもよい。第２のシリコン電極層７４に不純物を導入する方法は、第２のシリコン電極層７４をＣＶＤ法によって形成する際に同時に導入してもよい。もしくはＣＶＤ後にイオン注入により導入してもよい。この実施の形態では、ＤＲＡＭメモリセルのＮチャネルＭＯＳで形成されるワードトランジスタの不純物拡散層と接続する第１のシリコン電極層６２上に第２のシリコン電極層７４を形成するので、Ｎ型の不純物であるリンを第２のシリコン電極層７４に導入する。

【００５９】次いで、第２のエッチングストッパ層７１上に第２のエッチングストッパ層７１と第１のシリコン電極層６２とエッチバック選択比の取れるＢＰＳＧ等の絶縁膜を例えば５００ｎｍ～１．５０μｍの膜厚に形成し、第２のシリコン電極層７４上に開口部を形成する。

【００６０】上記開口部にポリシリコン層もしくはアモルファスシリコン層を形成し、ＣＭＰによりコンタクトホール内のみにキャパシタ下部電極となる第３のシリコン電極層７６を残す。この実施の形態では、ＣＭＰによる形成方法を用いたが、エッチバック技術を用いてコンタクトホール内に第３のシリコン電極層７６を残してもよい。第３のシリコン電極層７６に不純物を導入する方法は、第３のシリコン電極層７６を形成するＣＶＤと同時に導入してもよい。ＣＶＤ後にイオン注入により導入してもよい。この実施の形態では、Ｎ型の不純物であるリンを第３のシリコン電極層７６に導入する。

【００６１】第２のエッチングストッパ層７１と選択比の取れる等方性エッチングとして、例えばフッ酸を用いたウエットエッチングによりＢＰＳＧ等の絶縁膜を除去する。

【００６２】次いで，上記第３のシリコン電極層７６の表面にキャパシタの誘電体膜（図示せず）としていわゆるＯＮＯ膜（シリコン酸化膜／シリコン窒化膜／シリコン酸化膜）を例えば３ｎｍ～１０ｎｍの膜厚に成るように形成する。さらに、ポリシリコン層もしくはアモルファスシリコン層を形成してキャパシタ上部電極となる第４のシリコン電極層７８を形成する。第４のシリコン電極層７８に不純物を導入する方法は、第４のシリコン電極層７８を成膜するＣＶＤと同時に導入してもよい。もしくはＣＶＤ後にイオン注入により導入してもよい。

【００６３】この実施の形態では、Ｎ型の不純物であるリンを第４のシリコン電極層７８に導入する、この実施の形態では、キャパシタ電極としてシリコン電極を用いたが、金属電極を用いてもよい。さらに、本実施の形態では、キャパシタ誘電体膜としてＯＮＯ膜を用いたが、タンタル酸化膜やＢＳＴ等の強誘電体膜を用いてもよい。さらに、本発明の実施の形態では、シリンダ構造のキャパシタを用いたが、単純な積層型キャパシタやフィン構造のキャパシタ電極でも適用することが可能である。

【００６４】次に、第２のエッチバックストッパ層７１と選択比の取れる等方性エッチングで第３のシリコン電極層７６下におけるＢＰＳＧ等の絶縁膜を除去する際と、第４のシリコン電極層７８をエッチングする際に、第２のエッチングストッパ層７１がエッチングされて膜厚が減少する。このときの膜減り量の制御が困難な場合には、第４のシリコン電極層７８をエッチング形成する際に第２のエッチングストッパ層７１の全膜厚の一部または全部をエッチング除去して、新たな第３のエッチングストッパ層を形成してもよい。

【００６５】次に、第４の層間絶縁膜８１を例えばシリコン酸化膜で例えば５００ｎｍ～２．５０μｍの膜厚に形成した後、ＣＭＰや全面エッチバック等の技術を用いてキャパシタ上に後に説明する第５の層間絶縁膜が例えば１００ｎｍ～１．００μｍが残るように平坦化する。

【００６６】次いで、上記第４の層間絶縁膜８１上に選択的にフォトレジスト開口パターンを形成する。この実施の形態では、周辺ＭＯＳトランジスタ形成領域のゲート電極配線層上へのコンタクトを開口するために第４の層間絶縁膜８１をエッチングする。このとき、第２のエッチングストッパ層７１と選択比の取れるエッチング条件により、第４の層間絶縁膜８１をエッチングした後、第２のエッチングストッパ層７１上でエッチングを一旦停止する。

【００６７】そして第２のエッチングストッパ層７１をエッチングして、さらに第３の層間絶縁膜６９と第２の層間絶縁膜６５と第１の層間絶縁膜６１を順次エッチングする。このとき、第１のエッチングストッパ層（図示せず）と選択比の取れるエッチング条件により、第１の層間絶縁膜６１を除去した後、第１のエッチングストッパ層上でエッチングを一旦止める。

【００６８】第１のエッチングストッパ層をエッチングして、次に周辺ＭＯＳトランジスタ形成領域のゲート電極２２上に形成されたオフセット膜を構成するシリコン

窒化膜もしくはシリコン酸化膜をエッチング除去して、ゲート電極２２上にコンタクトホールを形成する。

【００６９】次いで第４の層間絶縁膜８１上に選択的にフォトレジスト開口パターンを形成する。この実施の形態では、周辺ＭＯＳトランジスタ形成領域のゲート電極配線層２２上へのコンタクトに続いて、周辺ＭＯＳトランジスタ形成領域の不純物拡散層上にコンタクトホールを開口する。このとき、ゲート電極２２上に形成したコンタクトホール上はフォトレジストで埋め込まれる。そして第４の層間絶縁膜８１をエッチングする。このとき、第２のエッチングストッパ層７１と選択比の取れるエッチング条件により、第４の層間絶縁膜８１を除去した後、第２のエッチングストッパ層７１上でエッチングを一旦停止する。

【００７０】そして第２のエッチングストッパ層７１をエッチングして、さらに第３の層間絶縁膜６９と第２の層間絶縁膜６５と第１の層間絶縁膜６１を順次エッチングする。このとき、第１のエッチングストッパ層（図示せず）と選択比のとれるエッチング条件により、第１の層間絶縁膜６１を除去した後、第１のエッチングストッパ層上でエッチングを一旦停止する。

【００７１】次いで第１のエッチングストッパ層をエッチングして、周辺ＭＯＳトランジスタ形成領域の不純物拡散層上にコンタクトホールを形成する。

【００７２】コンタクトホール内にチタン層を例えば１０ｎｍ～１００ｎｍの厚さに形成し、バリアメタルとなるチタン窒化膜を例えば１０ｎｍ～５０ｎｍの厚さにスパッタリングもしくはＣＶＤ法によって形成する。次に、第１の金属電極となるタングステン層を例えば１００ｎｍ～５００ｎｍの厚さにスパッタリングもしくはＣＶＤ法によって形成する。ＣＭＰもしくは全面エッチバックによって、コンタクトホール内に第１の金属電極８４を残す。第１の金属電極８４は、選択ＣＶＤ法等の技術を用いて、コンタクトホール内に選択形成してもよい。

【００７３】第１の金属電極８４と電気的に接続される、第１層目金属配線層８６を形成する、第１層目金属配線層８６は、チタン層を例えば３ｎｍ～５０ｎｍの厚さに形成し、バリアメタルとなるチタン窒化膜を例えば１０ｎｍ～５０ｎｍの厚さに形成し、銅を含有するアルミニウム配線層を例えば２００ｎｍ～８００ｎｍの厚さに形成し、チタン層を例えば３ｎｍ～１０ｎｍの厚さに形成し、チタン窒化膜を例えば１０ｎｍ～１００ｎｍの厚さに例えばスパッタリングもしくはＣＶＤにより形成する。銅を含有するアルミニウム配線層は、アルミニウム配線や銅配線など他の材料で形成することもできる。第１層目金属配線層８６上に第５の層間絶縁膜８８を例えばシリコン酸化膜を例えば５００ｎｍ～２．００μｍの厚さに堆積して形成する。その後、ＣＭＰもしくは全面エッチバック等の技術を用いて第５の層間絶縁膜８８表面を平坦化する。

【００７４】さらに、第１の金属電極８４と第１層目金属配線層８６と第５の層間絶縁膜８８の形成と同様にして、第２の金属電極９０と第２層目金属配線層９２と第６の層間絶縁膜９４、第３の金属電極９６と第３層目金属配線層９８と第７の層間絶縁膜１００、第４の金属電極１０２と第４層目金属配線層１０４と第８の層間絶縁膜１０６を順次形成する。オーバコート膜１０８としてシリコン窒化膜を例えば５００ｎｍ～１．５０μｍの厚さに形成した後、第４層目金属配線層１０４でパッドとなる部分に開口部を選択的に形成する。

【００７５】上記説明したように、静電破壊保護素子の取り出し用高濃度不純物拡散層２９ｅの一方は外部入出力端子に接続される。また他方の取り出し用高濃度不純物拡散層２９ｅは入出力ＭＯＳトランジスタ３のソース・ドレイン領域と共通となっている。したがって、保護抵抗領域３１を備えた静電破壊保護素子１は、外部入出力端子と接続された取り出し用高濃度不純物拡散層２９ｅ（不純物拡散層）と入出力ＭＯＳトランジスタ３との間に形成される。

【００７６】次に、静電破壊保護素子１の別構成の一例を、図７の平面図によって説明する。図７に示す構成は、素子分離領域１２に囲まれたアクティブ領域Ａに、保護抵抗領域３１と前記図１によって説明したのと同様の入出力ＭＯＳトランジスタ３を形成してなる。

【００７７】上記保護抵抗領域３１は、前記図１によって説明したのと同様の低濃度の不純物拡散層からなり、窒化シリコン膜のサイドウォール形成層２６からなるマスク層２８に覆われている。また上記マスク層２８には、開口部２８ａが形成されていて、この開口部２８ａ内の半導体基板１１には、静電破壊保護素子の取り出し用高濃度不純物拡散層２９ｅが設けられている。この取り出し用高濃度不純物拡散層２９ｅは外部入出力端子（図示せず）に接続される。また他方の取り出し用高濃度不純物拡散層２９ｅは入出力ＭＯＳトランジスタ３のゲート電極２２の両側における半導体基板１１に形成されたソース・ドレイン領域と共通となっている。さらに入出力ＭＯＳトランジスタ３のソース・ドレイン領域と上記取り出し用高濃度不純物拡散層２９ｅには、前記図１によって説明したのと同様の金属シリサイド層３３が形成されている。なお、図面中、□内に×印を描いて示した部分はコンタクトとなっている。

【００７８】本発明の実施の形態は、ＤＲＡＭメモリセルに限定されることはなく、強誘電体膜を容量素子として用いたメモリセルに適用してもよい。さらにはＭＯＳトランジスタのゲート電極をシリサイド化するいわゆる一般的なフルシリサイドに適用することも可能である。ただし、ＤＲＡＭメモリセルを同時に形成する場合には、保護抵抗領域３１を形成するフォトレジストパターン５１はＤＲＡＭメモリセル形成領域にも形成するの

19

で、保護抵抗領域３１を形成するフォトレジストパターン５１の形成工程は追加工程にはならない。

【００７９】しかしながら、フルシリサイドを用いたロジック素子形成プロセスの場合には、メモリセル形成プロセスが無いので保護抵抗領域を形成するフォトレジストパターン形成工程は追加工程となる。しかしながら、ＬＤＤ形成工程を保護抵抗素子形成工程として用いることにより工程増となることを極力抑えることができる。

【００８０】上記実施の形態では、ＤＲＡＭとロジック素子とを混載した半導体装置に静電破壊保護素子を設けた製造方法の一例を説明したが、ロジック素子単体の半導体装置に上記構成の静電破壊保護素子を同様の構成で形成する製造方法に適用することも可能である。

【００８１】

【発明の効果】以上、説明したように本発明の半導体装置およびその製造方法によれば、ＤＲＡＭセルとロジック素子とを混載した半導体装置とその製造方法において、ＬＤＤ形成工程を保護抵抗素子形成工程として用いることにより工程増となることを極力抑えて、トランジスタの能力を低下させること無く安定した静電保護素子を得ることが可能になる。さらにフルサリサイドを用いたロジック素子形成プロセスの場合でも、ＤＲＡＭセルロジックを混載したＬＳＩデバイスとほぼ同様な工程削減効果と静電破壊防止効果をトランジスタの能力安定化

20

効果を得ることができる。

【図面の簡単な説明】

【図１】本発明の半導体装置の実施の形態を示す概略構成断面図である。

【図２】保護抵抗素子の形態の一例を示す概略構成断面図である。

【図３】本発明の半導体装置の製造方法に係る実施の形態を示す製造工程図である。

【図４】静電破壊耐圧、保護抵抗素子長Ｔ、入出力ＭＯＳトランジスタ能力（ドレイン電流）、保護抵抗素子のシート抵抗の関係を示す図である。

【図５】本発明の半導体装置の製造方法に係る実施の形態を示す製造工程図である。

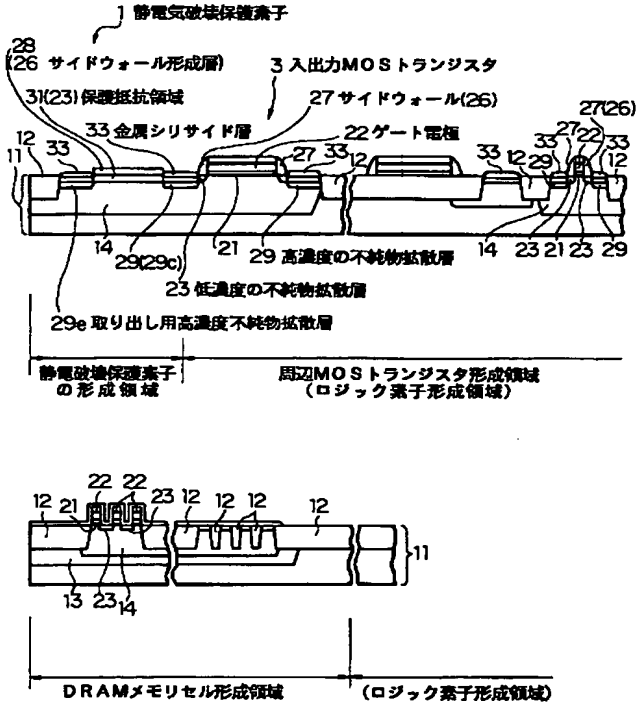
【図６】本発明の半導体装置の製造方法に係る実施の形態を示す製造工程図である。

【図７】静電破壊保護素子の別構成の一例を示す平面図である。

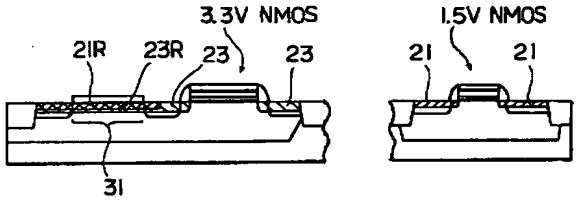
【符号の説明】

１…静電破壊保護素子、３…入出力ＭＯＳトランジスタ、２２…ゲート電極、２３…低濃度の不純物拡散層、２６…サイドウォール形成層、２７…サイドウォール、２９…高濃度の不純物拡散層、２９ｅ…取り出し用高濃度不純物拡散層、３１…保護抵抗領域、３３…金属シリサイド層

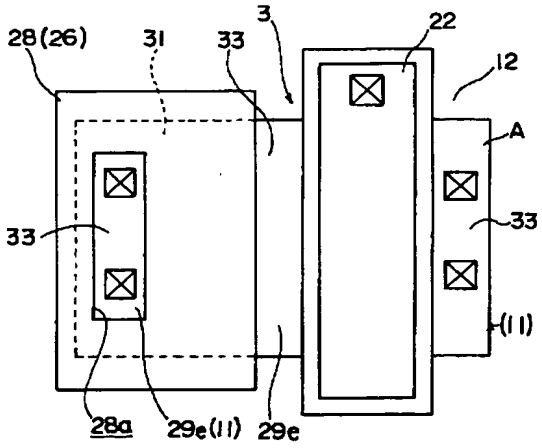
【図１】



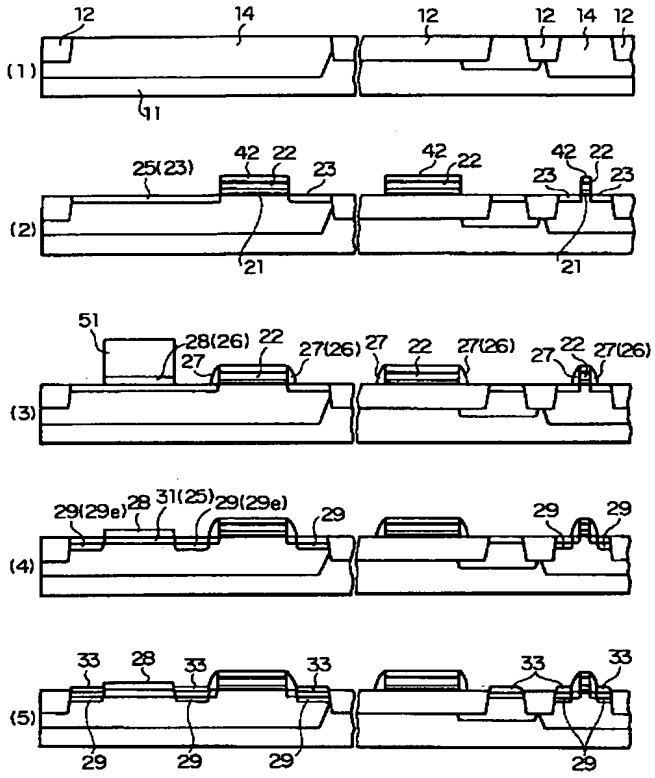
【図２】



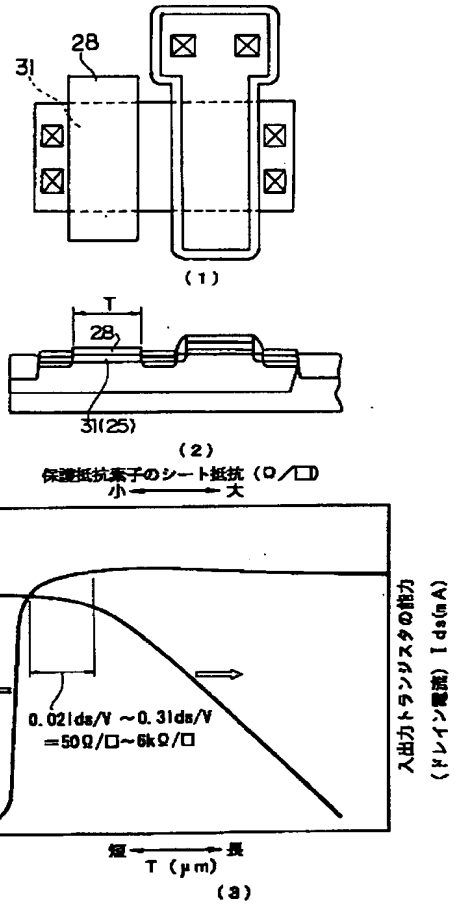
【図７】



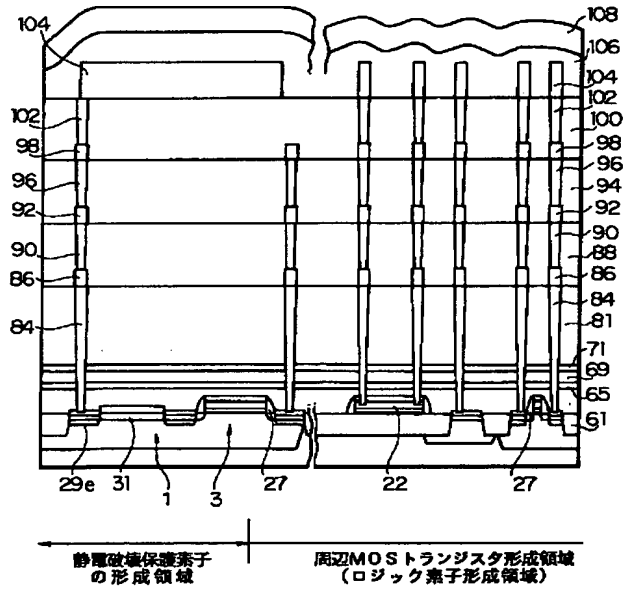
【図３】


(1)
(2)
(3)
(4)
(5)

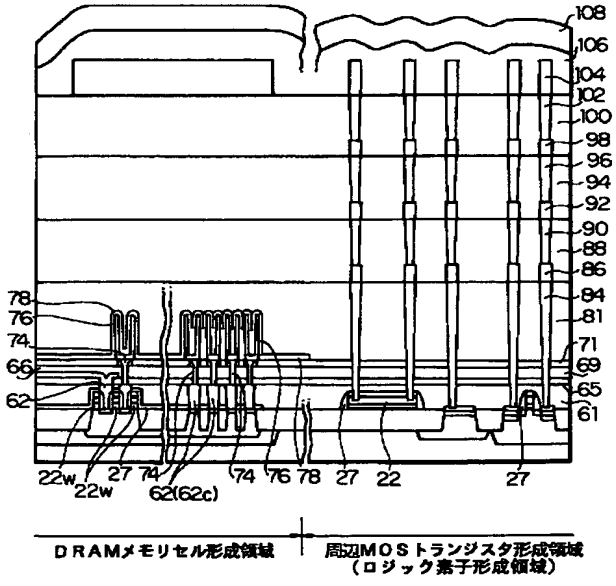
【図４】


(1)
(2)
保護抵抗素子のシート抵抗（Ω／□）
小 ⟷ 大
静電破壊耐圧（V）
入出力トランジスタの能力
（ドレイン電流）Ids(mA)
0.02Ids/V ～0.3Ids/V
=50Ω/□～6kΩ/□
短 ⟷ 長
T（μm）
(3)

【図５】


静電破壊保護素子の形成領域
周辺MOSトランジスタ形成領域（ロジック素子形成領域）

【図６】


DRAMメモリセル形成領域
周辺MOSトランジスタ形成領域（ロジック素子形成領域）

フロントページの続き

(51) Int. Cl.[7]	識別記号	FI		テーマコード(参考)
H01L 27/04		H01L 21/90	C	
21/822		27/04	H	
27/06	311	27/08	321K	
27/105		27/10	444B	
27/10	461		621C	
27/108				
21/8242				

(72)発明者 森川 隆史
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72)発明者 渡辺 秋好
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 4M104 AA01 BB01 BB20 BB25 BB40 CC05 DD02 DD04 DD07 DD16 DD19 DD26 DD37 DD43 DD78 DD84 EE03 EE08 EE09 EE17 FF14 FF18 FF22 GG09 GG10 GG16 GG19 HH14 HH16 HH20
5F033 HH04 HH05 HH08 HH18 HH19 HH28 HH33 JJ04 JJ19 JJ33 KK01 KK25 MM07 MM08 MM13 NN06 NN07 PP06 PP07 PP15 QQ08 QQ09 QQ16 QQ18 QQ19 QQ25 QQ31 QQ37 QQ48 QQ58 QQ59 QQ65 QQ73 QQ75 RR04 RR05 RR09 RR15 SS08 SS11 SS21 TT08 VV06 VV09 VV16 XX00 XX03 XX09 XX10 XX33
5F038 AR01 BH02 BH13 CA10 DF05 EZ01 EZ18
5F048 AA01 AA02 AA07 AA09 AB01 AB03 AB06 AB07 AC03 AC10 BA01 BB06 BB07 BB08 BB12 BB14 BB16 BC06 BD04 BE02 BF01 BF02 BF04 BF06 BF07 BF11 BF16 BG12 BG14 CC01 CC02 DA27
5F083 AD21 AD22 AD24 AD48 FR01 GA02 GA09 GA11 GA28 JA04 JA32 JA35 JA36 JA37 JA39 JA40 JA53 MA06 MA16 MA17 MA19 MA20 PR03 PR05 PR06 PR12 PR21 PR22 PR29 PR33 PR36 PR39 PR40 PR46 PR56 ZA07 ZA08 ZA12